



NAND 闪存存储系统中的 LDPC 码优化设计

周璇, 马征*, 庞琦珂, 唐小虎

西南交通大学信息科学与技术学院, 成都 610031

* 通信作者. E-mail: zma@home.swjtu.edu.cn

收稿日期: 2024-09-03; 修回日期: 2024-10-23; 接受日期: 2024-11-28; 网络出版日期: 2025-01-07

四川省自然科学基金重点项目 (批准号: 2022NSFSC0043) 和四川省科技计划 (批准号: 2023YFG0100) 资助

摘要 面对日益增长的大容量需求, NAND 闪存技术不断进步并实现了一系列突破, 然而, 存储密度的不断提升也极大程度削弱了 NAND 闪存系统的抗干扰能力. 因此, 针对 NAND 闪存存储系统中的差错控制码进行优化设计成为一个重要课题. 本文首先对 NAND 闪存存储系统中的干扰源进行了全面分析, 考虑到存储单元阈值电压的非对称非高斯特性, 采用修正 Student's t 分布对其建模. 此外, 考虑了实际 NAND 闪存中的量化问题, 利用离散非对称密度进化算法分析了不同量化位宽和量化范围对 LDPC 码的影响, 并对非规则 LDPC 码进行了优化设计. 最后, 以 IEEE 闪存标准中的 LDPC 码本为基础, 对码本中的参数进行优化设计. 仿真结果表明, 经过优化设计的 LDPC 码本在存储单元的正常使用寿命内, 纠错性能提升 1 个数量级以上, 并且能够有效延长存储单元的使用寿命.

关键词 NAND 闪存系统, 低密度奇偶校验码, 修正 Student's t 模型, 非对称密度进化算法, 量化

1 引言

近年来, 云计算、大数据分析和人工智能等技术迅猛发展, 极大地推动了数据存储需求的增长. 持续影响我们的日常生活. 随着数据中心、工业控制以及智能设备等领域对外存储器需求的不断增加, NAND 闪存市场展现出了广阔的发展前景. 然而, 这一变革的浪潮远未平息, NAND 闪存技术正以前所未有的广度和深度渗透到各个应用领域. 随着技术的不断革新和市场需求的持续增长, NAND 闪存市场将迎来更加广阔的发展机遇. 特别是在高性能、大容量存储需求的驱动下, NAND 闪存技术有望在更多新兴领域找到应用空间, 进一步巩固其在存储技术领域的领先地位.

为了提升数据存储效率, 存储设备不断追求更小的芯片面积和更高的存储密度, 而这也引入了多种干扰源. 在浮栅 (floating gate, FG) 型 NAND 闪存中, 主要存在 5 种错误类型: 擦写 (program/erase, P/E) 错误、编程错误、单元间干扰错误、数据驻留错误以及读干扰错误, 这些错误的产生与构成存储单元浮栅晶体管 (floating gate transistor, FGT) 的特殊结构密切相关^[1]. 尽管现有技术已经在一定程

引用格式: 周璇, 马征, 庞琦珂, 等. NAND 闪存存储系统中的 LDPC 码优化设计. 中国科学: 信息科学, 2025, 55: 202–216, doi: 10.1360/SSI-2024-0267

Zhou X, Ma Z, Pang Q K, et al. Optimization design for low-density parity-check codes in NAND flash memory systems. Sci Sin Inform, 2025, 55: 202–216, doi: 10.1360/SSI-2024-0267

度上减少了这些错误,但其影响仍无法完全消除.因此,对这些干扰进行精确建模对于策略设计、提高可靠性和延长使用寿命至关重要.

此外,随着存储芯片尺寸的日益缩小,存储单元尺寸不断缩小和单元携带数据量的增加,存储密度的增加导致存储系统原始误比特率 (row bit error rate, RBER) 随之上升,这主要是由各种难以预测和补偿的噪声与干扰所导致,极大地削弱了芯片的抗扰能力^[1].这种趋势对 NAND 闪存的可靠性提出了新的挑战,为了提升存储设备的错误纠正能力,需要采用错误检查和纠正 (error check and correcting, ECC) 技术. ECC 技术通过向原始数据中增加冗余信息,提高了存储过程中的容错性,尽管这将带来一定的数据存储效率损失,但它能有效提升 NAND 闪存设备的可靠性,延长设备使用寿命.即便存储过程中数据发生错误,也可以在数据读取时通过先进的检测和纠错算法恢复原始数据,有效应对由物理磨损、环境干扰等因素引起的数据错误^[2~4].面对 NAND 闪存容量的迅猛增长所带来的数据存储可靠性劣化问题,传统的纠错编码技术已难以满足现有存储需求.在此背景下,低密度奇偶校验 (low-density parity-check, LDPC) 码^[5] 因其逼近信道容量的卓越表现,被视作新一代 NAND 闪存中的纠错编码技术的有力候选.相较于传统 BCH 码,LDPC 码展现出更为出色的纠错能力,能够有效应对大容量存储中的纠错挑战^[6].

外信息传递 (extrinsic information transfer, EXIT) 图是一种辅助迭代译码 (解映射) 设计的手段^[7].它通过观察内外译码器的输入输出信息曲线的位置关系,根据码本参数和信道条件直观地预测译码结果.由于, NAND 闪存阈值电压呈现非高斯特性,现有 EXIT 函数难以准确描述内外译码器的输入输出互信息关系.然而,密度进化算法很好地解决了这个问题,该算法通过跟踪迭代译码器中信息的概率密度函数 (probability density function, PDF) 变化来分析译码算法的收敛性和纠错性能^[8~11].

在硬件设备中,LDPC 译码算法将受到硬件中的位宽限制,对于对数似然比 (log-likelihood ratio, LLR) 信息,位宽越宽量化后的 LLR 信息精度越高,译码性能更接近于理论结果,但是其实现复杂度将大幅提升,而采用较短的位宽对初始信息进行量化则可能导致未能完全描述信道信息,从而使得译码性能下降,因此合理选择量化位宽是一个 NAND 闪存领域中重要的研究课题. Cui 等^[12] 针对 LDPC 的归一化最小和 (normalized min-sum, NMS) 算法,通过有区别地限制 LLR 的最小值和次小值范围,以弥补量化位宽缩短导致的增益损失问题.在文献^[13]中,研究者提出了一种近似均匀量化方法以扩大消息的动态范围,这种近似非均匀量化方法有效地提升了 LDPC 码的纠错性能,尤其是在高信噪比范围内.文献^[14]针对 NAND 闪存单元间干扰特性提出了一种基于幂律函数的非均匀量化方案,优化了信道输入 LLR 信息的精度,并且基于该量化方案提出了一种迭代大数逻辑译码算法.

因此,本文考虑了 NAND 闪存信道的非对称非高斯特性,针对量化后的 NAND 闪存信道优化设计 LDPC 码编码方案,提升 NAND 闪存存储系统的可靠性,延长存储单元的使用寿命.本文贡献总结如下:(1) 通过对 NAND 闪存中的多种干扰源进行综合分析,考虑了 NAND 闪存阈值电压的非对称非高斯特性,采用修正 Student's t 分布对 NAND 闪存信道进行建模;(2) 考虑了 NAND 闪存系统中的量化情况,对修正 Student's t 模型下的 NAND 闪存信道进行量化,并分析了不同量化下码本的纠错性能;(3) 针对 IEEE 闪存标准中的 LDPC 码进行参数优化设计,并根据优化后的参数构造了更优的 LDPC 码校验矩阵.

2 NAND 闪存信道

2.1 NAND 闪存信道特性

FG 型 NAND 闪存系统的等效信道模型如图 1 所示,在 NAND 闪存信道中,假设擦除状态的阈值电压服从近似高斯分布^[15],其对应的概率密度函数为

$$p_{V_{\text{ER}}}(V_{\text{ER}}) = \frac{1}{\sqrt{2\pi\sigma_e^2}} e^{-\frac{(V_{\text{ER}} - \mu_e)^2}{2\sigma_e^2}}, \quad (1)$$

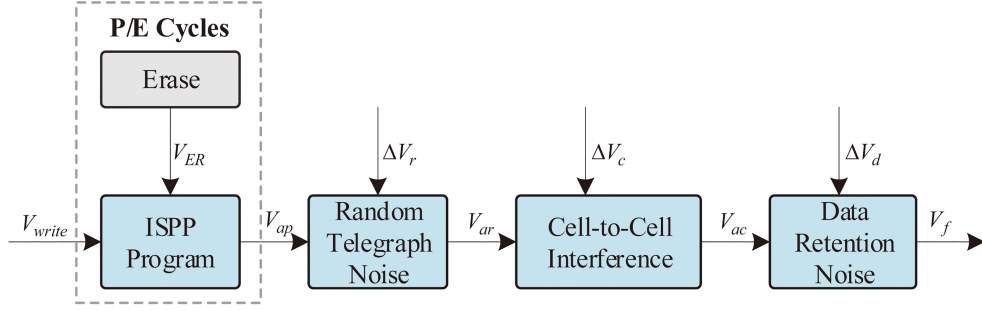


图 1 (网络版彩图) NAND 闪存系统信道模型.

Figure 1 (Color online) Framework for NAND flash memory channel.

其中, μ 和 σ^2 分别为擦除状态阈值电压的均值和方差.

在增量步进脉冲编程 (incremental step pulse programming, ISPP) 过程中, 同一字线上的闪存单元采用“编程 - 验证”的阶梯式递归方法进行写入操作, 记 V_p 为目标状态编程压, ΔV_{pp} 为编程的步进电压. 根据其编程过程可知, 每个编程状态的阈值电压在 $[V_p, V_p + \Delta V_{pp}]$ 范围内服从均匀分布^[1], 因此, 第 i 个编程状态的理想阈值电压可描述为

$$p_p^{(i)}(V_{ap}) = \begin{cases} \frac{1}{\Delta V_{pp}}, & \text{if } V_l^{(i)} \leq V_{ap} \leq V_r^{(i)}, \\ 0, & \text{else,} \end{cases} \quad (2)$$

其中, $V_l^{(i)}$ 和 $V_r^{(i)}$ 分别对应着第 i 个状态的 V_p 和 $V_p + \Delta V_{pp}$. 由于闪存单元在生命周期内将经历不同种类的干扰, 实际中的阈值电压分布与式 (2) 中的理想阈值电压有一定偏差, 实际阈值电压会出现一定程度的失真^[1, 16, 17]. 本文主要关注了 3 种典型的干扰, 包括随机电报噪声 (random telegraph noise, RTN)、数据驻留噪声和单元间干扰^[16].

• 随机电报噪声. RTN 在器件材料层面是由缺陷在恒压条件下, 突然或随机释放的捕获载流子所造成的, 其幅值与 P/E 次数呈正相关^[18]. 假设 RTN 引起的阈值电压震荡幅度服从指数衰落, 则阈值电压震荡的 PDF 可表示为一个对称的指数函数, 其表达式为^[19, 20]

$$p_r(\Delta V_r) = \frac{1}{2\lambda_r} e^{-\frac{|\Delta V_r|}{\lambda_r}}. \quad (3)$$

记 N 为 P/E 循环次数, 文献 [16] 给出, λ_r 近似与 N 呈幂函数关系, 即 $\lambda_r = N^m$, 其中 $m \in \mathbb{R}^+$.

• 数据驻留噪声. 数据驻留噪声主要由界面陷阱的恢复和电荷的脱阱过程引起, 该过程可近似为泊松过程^[16]. 因此, 由数据驻留噪声引起的阈值电压偏移近似服从均值为 μ_d , 方差为 σ_d^2 的高斯分布, 其对应的 PDF 如式 (4) 所示:

$$p_d(\Delta V_d) = \frac{1}{\sqrt{2\pi\sigma_d^2}} \exp\left[-\frac{(\Delta V_d - \mu_d)^2}{2\sigma_d^2}\right], \quad (4)$$

其中, 均值和方差均与 P/E 循环次数以及驻留时间呈强相关.

• 单元间干扰. 当存储单元中的阈值电压发生偏移时, 通过寄生电容耦合效应, 其相邻的存储单元的阈值电压也将随之发生变化, 从而产生单元间干扰. 为了一定程度上减少单元间干扰, 提高存储器的读写速率, 通常采用全位线结构, 在该结构中, 同一字线上的所有存储单元同时进行编程操作, 当前字线的存储单元只会受到下一字线的相邻存储单元的干扰. 因此, 受干扰存储单元的阈值电压偏移量可表示为

$$\Delta V_c = \sum_t (\Delta V_{ct} \cdot \gamma_t), \quad (5)$$

其中, ΔV_{c_t} 为在受干扰存储单元之后的第 t 个相邻存储单元的阈值电压偏移量. 此外, 耦合系数 γ_t 近似服从截断高斯分布^[16], 其对应的 PDF 如式 (6) 所示:

$$p_{\gamma}(\gamma_t) = \begin{cases} \frac{\omega_c}{\sqrt{2\pi\sigma_c^2}} e^{-\frac{(\gamma_t - \mu_c)^2}{2\sigma_c^2}}, & \text{if } |\gamma_t - \mu_c| \leq \omega_c, \\ 0, & \text{else,} \end{cases} \quad (6)$$

其中, μ_c 和 σ_c^2 分别为均值和标准差, ω_c 为缩放因子, 以保证截断高斯分布在积分区域上的结果等于 1.

根据上述分析, 存储单元受到的所有干扰为

$$V_N = \Delta V_r + \Delta V_d + \Delta V_c, \quad (7)$$

其中, ΔV_r , ΔV_d 和 ΔV_c 分别为由 RTN、数据驻留噪声以及单元间干扰引起的存储单元阈值电压的偏移量. 因此, 经过了闪存信道的存储单元阈值电压 V_f 可表示为

$$V_f = V_{ap} + \Delta V_r + \Delta V_d + \Delta V_c, \quad (8)$$

其中, V_{ap} 为存储单元经过理想编程过程的阈值电压. 记 p_{channel} 为 NAND 闪存信道等效干扰的 PDF, RTN、数据驻留噪声和单元间干扰的 PDF 分别用 p_r , p_d 和 p_c 表示, 根据式 (8) 可知, p_{channel} 应为三者的卷积, 即

$$p_{\text{channel}} = p_r(\Delta V_r) \otimes p_d(\Delta V_d) \otimes p_c(\Delta V_c). \quad (9)$$

当 P/E 为 10000 次, 数据驻留时间为 1 年时, 通过蒙特卡洛 (Monte Carlo) 仿真, NAND 闪存信道中不同阶段的阈值电压如图 2 所示, 可以观察到, RTN 会导致阈值电压的幅值有一定程度的波动. 单元间干扰对阈值电压有较为明显的影响, 存储单元的阈值电压分布向右偏移, 即阈值电压将会增大, 相反地, 由于电子泄露, 数据驻留干扰会导致存储单元中的阈值电压值减小.

2.2 阈值电压分布统计模型

为了对 NAND 闪存信道进行更深入的探讨与分析, 本节将根据阈值电压分布特性建立对应的统计模型. 基于高斯的模型和基于正态拉普拉斯的模型是现有较常见的两种信道模型, 在这两种模型下, 每个状态的阈值电压分别服从高斯分布和正态拉普拉斯分布. 然而, 以上两种信道模型无法同时兼顾准确性和复杂度的要求, 因此, 在 NAND 闪存设备中, 这两种信道模型因缺乏实用性而无法得到有效应用. 修正 Student's t 模型是一种计算高效且精准的阈值电压模型.

若随机变量 X 服从修正 Student's t 分布, 记为 $X \sim t(\mu, \sigma^2, \alpha, \beta)$, 其 PDF 为

$$p(x) = \begin{cases} \frac{\Gamma(\frac{\alpha+1}{2})}{\sqrt{\alpha\pi\sigma^2}\Gamma(\frac{\alpha}{2})} \left(1 + \frac{(x-\mu)^2}{\alpha\sigma^2}\right)^{-\frac{\alpha+1}{2}}, & \text{if } x \leq \mu, \\ \frac{\Gamma(\frac{\beta+1}{2})}{\sqrt{\beta\pi\sigma^2}\Gamma(\frac{\beta}{2})} \left(1 + \frac{(x-\mu)^2}{\beta\sigma^2}\right)^{-\frac{\beta+1}{2}}, & \text{if } x > \mu, \end{cases} \quad (10)$$

其中, α 和 β 分别为左边和右边拖尾的自由度, $\Gamma(\cdot)$ 为伽马 (Gamma) 函数. 于是, 修正 Student's t 分布的累计分布函数 (cumulative distribution function, CDF) 可表示为

$$T(V) = \int_{-\infty}^V p(x) dx. \quad (11)$$

将 Kullback-Leibler (K-L) 发散误差^[21] 作为目标函数, 并采用 Nelder-Mead 简化方法^[22] 对 NAND 闪存信道中的所有干扰进行拟合, 故而可以得到任意 P/E 和数据驻留时间下的干扰 PDF.

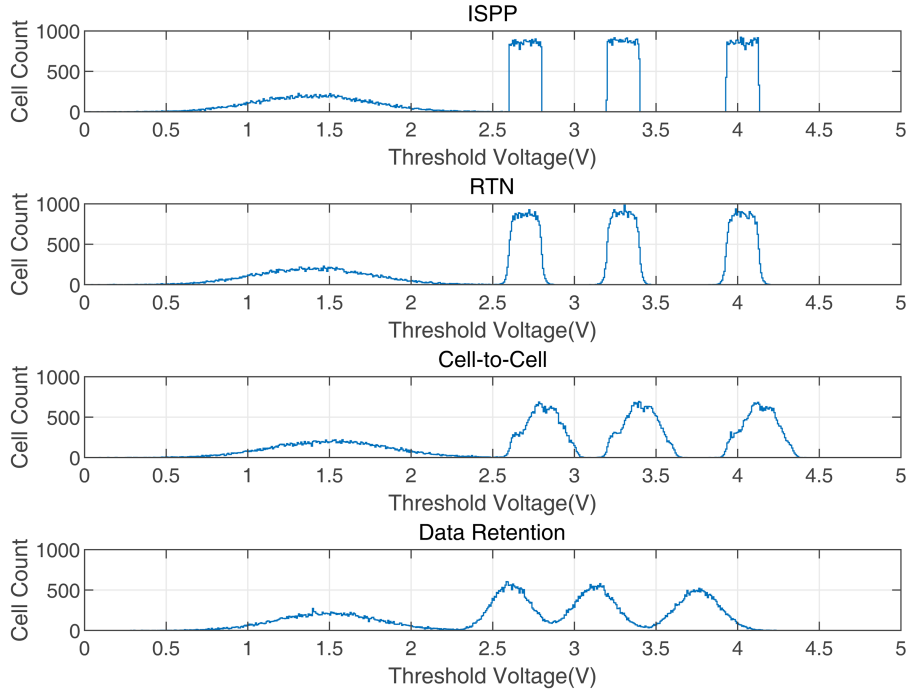


图 2 (网络版彩图) NAND 闪存信道中阈值电压分布。

Figure 2 (Color online) Threshold voltage distribution in NAND flash memory channel.

3 LDPC 码译码算法

LDPC 码是线性分组码中的一种特殊码字类型, 其码本由稀疏的二元校验矩阵 H 唯一确定, 校验矩阵的每一列代表码字中的对应的比特位置, 每一行为一个奇偶校验方程组. 校验矩阵 H 的列数表示码本长度 N , H 的行数为线性分组码的校验方程数 M , 因此 LDPC 码信息位长度为 $K = N - M$, 码率 $R = K/N$. 同时, 校验矩阵中第 i 行第 j 列的非 0 元素表示, 第 j 个位置的比特受第 i 个校验方程约束. 对于规则 LDPC 码, 校验矩阵的每一列包含的非 0 元素个数均为 d_v , 每一行包含的非 0 元素个数为 d_c , 将 d_v 和 d_c 称为 LDPC 码的列重与行重, 因此该规则 LDPC 码可记为 (N, d_v, d_c) . 对于非规则 LDPC 码, 由于校验矩阵的列重与行重并非常数, 因此用向量 λ 和 ρ 表示, 其中 λ_i 代表每一列中非 0 元素为 i 的列数的占比, 同理 ρ_i 代表每一行中非 0 元素为 i 的行数的占比, 非规则 LDPC 码可记为 (N, λ, ρ) .

对于二元随机变量 X , 可用对数似然比 (log likelihood ratio, LLR) 对其概率进行描述, 即

$$L(X) = \ln \frac{p(X=0)}{p(X=1)}, \quad (12)$$

当 $L(X)$ 越趋向于正无穷, X 则以更大的可能性被判为 0, 否则反之.

最大似然 (maximum likelihood, ML) 译码算法具有最优的译码性能, 但由于 LDPC 码的码长通常较长, 从而导致 ML 算法的译码复杂度过高. 利用 LDPC 码的校验矩阵的稀疏特性, LDPC 码采用了信息传递 (message passing, MP) 译码算法. 考虑 NAND 闪存设备的译码实现复杂度因素, 本文中的 LDPC 码采用最小和 (min-sum, MS) 译码算法. 在 MS 译码中, 记第 i 个校验节点向第 j 个变量节点传递的外信息为 $E_{i,j}$, 第 j 个变量节点向第 i 个校验节点传递的外信息为 $M_{i,j}$.

步骤 1: 初始化所有变量节点与校验节点输出外信息为 0, 并根据信道输出信息和式 (13) 计算先验信息的 LLR,

$$r_i = \ln \frac{p(c_i = 0)}{p(c_i = 1)}. \quad (13)$$

步骤 2: 更新变量节点信息

$$M_{i,j} = \sum_{i' \in \mathcal{CN}_j, i' \neq i} E_{i',j} + r_j, \quad (14)$$

其中, \mathcal{CN}_j 为与第 j 个变量节点相连的所有校验节点的集合.

步骤 3: 更新校验节点信息, MS 译码算法将乘法以及三角函数运算进行简化, 校验节点信息更新如式 (15) 所示:

$$E_{i,j} \approx \left(\prod_{j' \in \mathcal{VN}_i, j' \neq j} \text{sgn}(M_{i,j'}) \underbrace{\min}_{j' \in \mathcal{VN}_i, j' \neq j} |M_{i,j'}| \right), \quad (15)$$

其中, sgn 为取符号运算, \mathcal{VN}_i 表示与第 i 个校验节点相连的所有变量节点的集合. 在硬件实现中, 符号的连乘可采用模 2 加法代替, 因此 MS 译码的 CN 更新只需要取最小运算和求和运算即可实现.

步骤 4: 对从信道中获取的先验信息与校验节点输出的外信息进行求和, 得到第 j 个位置比特信息的 LLR, 即

$$L_i = r_i + \sum_{i \in \mathcal{CN}_i} E_{i,j}, \quad (16)$$

对 L_i 进行硬判决后带入到所有校验方程中, 若校验方程均满足, 则结束译码, 输出译码结果. 反之, 则返回步骤 2 继续迭代译码.

4 NAND 闪存信道离散非对称非高斯密度进化

第 3 小节介绍了 LDPC 码的译码算法, MS 译码通过迭代的过程实现. 误码率 (bit error rate, BER) 是衡量信道编码方案的重要指标之一, 它表示接收序列中发生错误的比特在总发送序列中的占比. 虽然这两种译码方式能够高效地实现 LDPC 码的译码功能, 但是由于迭代译码过程非常复杂, 难以通过理论分析得到 LDPC 码的误码率计算公式. 一般来说, 常采用蒙特卡洛仿真对误码率近似计算, 但随着码长的增加, 误码率要求的提高, 通过蒙特卡洛仿真对编码方案进行误码分析将耗费大量时间与软硬件资源.

密度进化是一种分析 LDPC 码的迭代译码性能的理论工具, 它通过统计接收序列在变量节点与校验节点之间的概率分布特性, 来分析预测 LDPC 码本在不同信道条件下的纠错性能. 该工具不仅可用于辅助 LDPC 码本的构造, 还能够根据分析结果优化译码算法, 根据不同应用场景, 设计逼近香农 (Shannon) 限的编译码方案.

4.1 量化

在实际硬件系统中, 需要对信道输入的连续 LLR 值映射到有限数量的离散值, 进行离散化处理, 这个过程称为量化, 常见的量化方式包括均匀量化和非均匀量化. 假设量化位宽为 q , 量化间隔为 Δ , 则量化函数 $Q(x)$ 可写为

$$Q(x) = \begin{cases} -N\Delta, & x < -\left(N + \frac{1}{2}\right)\Delta, \\ n\Delta, & n\Delta - \frac{\Delta}{2} \leq x \leq n\Delta + \frac{\Delta}{2}, \quad -N \leq n \leq N, \\ N\Delta, & x \geq \left(N + \frac{1}{2}\right)\Delta, \end{cases} \quad (17)$$

其中, $N = 2^q - 1$, 可表示的消息集合为 $\{-N\Delta, \dots, -\Delta, 0, \Delta, \dots, N\Delta\}$, 量化精度为 $2^q - 1$.

在 LDPC 码的译码过程中, 译码器对于模值较小的信息值更加敏感, 因此, 也可以考虑对 LLR 值进行非均匀量化. 具体来说, 在 LLR 幅值较小的范围内划分更多的量化等级, 而由于 LLR 幅值达到一定程度后, 对译码性能的影响较小, 因此, 对幅值较大的范围不需要分配过多的量化级别.

4.2 离散非对称密度进化

LDPC 码采用了消息递送算法进行译码, 若 LDPC 码的校验矩阵所对应的 Tanner 图中不包含环, 则节点之间传递的消息相互独立. 在本文中, 考虑 LDPC 码的校验矩阵满足独立性假设, 信道的输入和输出分别为 x 和 y , 若信道转移概率满足 $p(y|x=1) = p(y|x=-1)$, 则称信道是对称的, 否则称信道为非对称信道. 在 NAND 闪存信道中, 存储单元遭受了非对称非高斯的复杂干扰, 从图 2 中可以观察到, 不同存储状态的阈值电压有明显差异, 因此需要采用非对称密度进化对 NAND 闪存中的编码方案进行设计.

在对称密度进化中, 由于传输信息为 0 的概率分布与传输信息为 1 的概率分布一致, 所以在分析过程中, 只需要考虑一种概率分布的进化过程. 而对于非对称密度进化过程, 传输信息为 0 和传输信息为 1 的初始概率分布不一致, 所以需要分别分析两种概率分布的进化过程. 基于概率论相关知识, 随机变量的和的概率分布可表示为各随机变量概率分布的卷积, 而随机变量函数的概率分布可通过分布函数法进行求解^[23].

为了简化描述, 接下来将以行重为 d_c , 列重为 d_v 的规则 LDPC 进行阐述, 本密度进化算法同样适用于非规则 LDPC 码. 在第 l 次迭代译码过程中, 记变量节点接收到的 $d_v - 1$ 个消息为 $\mathbf{e}^{(l-1)} = (\mathbf{e}_1^{(l-1)}, \mathbf{e}_2^{(l-1)}, \dots, \mathbf{e}_{d_v-1}^{(l-1)})$, 变量节点向其相邻校验节点传输的消息记为 $\mathbf{m}^{(l-1)} = \Psi_v(\mathbf{e}^{(l-1)})$, 其中 $\Psi_v(\cdot)$ 按照式 (14) 进行计算. 同样地, 记校验节点接收到的 $d_c - 1$ 个消息为 $\mathbf{m}^{(l-1)} = (\mathbf{m}_1^{(l-1)}, \mathbf{m}_2^{(l-1)}, \dots, \mathbf{m}_{d_c-1}^{(l-1)})$, 校验节点向其相邻变量节点的输出消息记为 $\mathbf{e}^{(l-1)} = \Psi_c(\mathbf{m}^{(l-1)})$, 其中 $\Psi_c(\cdot)$ 按照式 (15) 进行计算.

在变量节点处, LDPC 译码器的第 l 次迭代过程中, 令从信道接收到消息的概率质量函数 (probability mass function, PMF) 为 $\Theta^{(0)}(\mathbf{m})$, 原始信息为 0 和 1 时校验节点向变量节点传输信息的 PMF 分别为 $\Xi_0^{(l-1)}(\mathbf{e})$ 和 $\Xi_1^{(l-1)}(\mathbf{e})$. 根据 MS 中变量节点消息的更新式 (14), 变量节点输出的 PMF 为 $\Theta_0^{(l)}(\mathbf{m})$ 和 $\Theta_1^{(l)}(\mathbf{m})$ 为相应输入所有 PMF 的卷积, 即

$$\begin{aligned}\Theta_0^{(l)}(\mathbf{m}) &= \Theta_0^{(0)}(\mathbf{m}) \otimes \left(\Xi_0^{(l-1)}(\mathbf{e}) \right)^{\otimes (d_v-1)}, \\ \Theta_1^{(l)}(\mathbf{m}) &= \Theta_1^{(0)}(\mathbf{m}) \otimes \left(\Xi_1^{(l-1)}(\mathbf{e}) \right)^{\otimes (d_v-1)},\end{aligned}\quad (18)$$

其中, d_v 为变量节点的列重.

假设原始信息为 0 和 1 的消息经过校验节点后输出信息的 PMF 分别为 $\Xi_0^{(l)}(\mathbf{e})$ 和 $\Xi_1^{(l)}(\mathbf{e})$, 文献 [8] 中给出了校验节点 PMF 的计算公式,

$$\begin{aligned}\Xi_0^{(l)}(\mathbf{e}) &= \left(\frac{1}{2}\right)^{d_c-2} \sum_{p=0, \text{偶数}}^{d_c-1} \binom{d_c-1}{p} \sum_{\mathbf{m}: \Psi_c(\mathbf{m})=\mathbf{e}} \left(\prod_{i=1}^p \Theta_1^{(l-1)}(\mathbf{m}_i) \prod_{i=p+1}^{d_c-1} \Theta_0^{(l-1)}(\mathbf{m}_i) \right), \\ \Xi_1^{(l)}(\mathbf{e}) &= \left(\frac{1}{2}\right)^{d_c-2} \sum_{p=1, \text{奇数}}^{d_c-1} \binom{d_c-1}{p} \sum_{\mathbf{m}: \Psi_c(\mathbf{m})=\mathbf{e}} \left(\prod_{i=1}^p \Theta_1^{(l-1)}(\mathbf{m}_i) \prod_{i=p+1}^{d_c-1} \Theta_0^{(l-1)}(\mathbf{m}_i) \right),\end{aligned}\quad (19)$$

当 $p=0$ 时, 令 $\prod_{i=1}^p \Theta_1^{(l-1)}(\mathbf{m}_i) = 1$, 当 $p=1$ 时, 令 $\prod_{i=1}^p \Theta_0^{(l-1)}(\mathbf{m}_i) = 1$.

值得注意的是,在式(19)的后半部分,

$$\Omega(p) = \sum_{\mathbf{m}: \Psi_c(\mathbf{m})=\mathbf{c}} \left(\prod_{i=1}^p \Theta_1^{(l-1)}(\mathbf{m}_i) \prod_{i=p+1}^{d_c-1} \Theta_0^{(l-1)}(\mathbf{m}_i) \right). \quad (20)$$

每次迭代时都需要通过校验节点的更新公式搜索满足 $\Psi_c(\mathbf{m}) = \mathbf{c}$ 的 \mathbf{m} 取值,该搜索过程十分耗时.可考虑通过查找表的方式实现,该查找表的空间复杂度为 $\mathcal{O}(N^{d_c-1})$,如式(17)所述, N 值大小与量化位宽相关,随着量化精度的增加,搜索的空间和复杂度都是难以估量的,因此需要对校验节点的信息公式进行优化,使其更具有实用性.

PMF 可由累积质量函数 (cumulative mass function, CMF) 计算得到,因此,本文考虑通过 CMF 间接计算公式(20)的值.首先定义 $\Omega(p)$ 在第 l 次迭代时对应的 CMF 为 $F_p^{(l)}$,当 $-N \leq n \leq -1$ 时,有

$$\begin{aligned} \mathfrak{F}_p^{(l)}(n) = & \Pr \left(\prod_{i=1}^p \text{sgn}(\mathbf{m}_i) = -1, \prod_{i=p+1}^{d_c-1} \text{sgn}(\mathbf{m}_i) = 1, |\mathbf{m}_d| > |Q(n)| \right) \\ & + \Pr \left(\prod_{i=1}^p \text{sgn}(\mathbf{m}_i) = 1, \prod_{i=p+1}^{d_c-1} \text{sgn}(\mathbf{m}_i) = -1, |\mathbf{m}_d| > |Q(n)| \right). \end{aligned} \quad (21)$$

定义 $\zeta(n)$,

$$\zeta_{t+}(n) = \sum_{i=n}^N \Theta_t^{(l-1)}(i), \zeta_{t-}(n) = \sum_{i=-N}^{-n} \Theta_t^{(l-1)}(i), \quad (22)$$

其中, $t \in \{0, 1\}$.

那么,式(21)可表示为

$$\begin{aligned} \mathfrak{F}_p^{(l)}(n) = & \left\{ \frac{1}{2} [(\zeta_{1+}(|n|) + \zeta_{1-}(|n|))^p - (\zeta_{1+}(|n|) - \zeta_{1-}(|n|))^p] \right\} \\ & \times \left\{ \frac{1}{2} [(\zeta_{0+}(|n|) + \zeta_{0-}(|n|))^{d_c-1-p} + (\zeta_{0+}(|n|) - \zeta_{0-}(|n|))^{d_c-1-p}] \right\} \\ & + \left\{ \frac{1}{2} [(\zeta_{1+}(|n|) + \zeta_{1-}(|n|))^p + (\zeta_{1+}(|n|) - \zeta_{1-}(|n|))^p] \right\} \\ & \times \left\{ \frac{1}{2} [(\zeta_{0+}(|n|) + \zeta_{0-}(|n|))^{d_c-1-p} - (\zeta_{0+}(|n|) - \zeta_{0-}(|n|))^{d_c-1-p}] \right\}. \end{aligned} \quad (23)$$

同理,当 $0 \leq n \leq N-1$ 时,

$$\begin{aligned} \mathfrak{F}_p^{(l)}(n) = & 1 - \left\{ \frac{1}{2} [(\zeta_{1+}(|n|+1) + \zeta_{1-}(|n|+1))^p + (\zeta_{1+}(|n|+1) - \zeta_{1-}(|n|+1))^p] \right\} \\ & \times \left\{ \frac{1}{2} [(\zeta_{0+}(|n|+1) + \zeta_{0-}(|n|+1))^{d_c-1-p} + (\zeta_{0+}(|n|+1) - \zeta_{0-}(|n|+1))^{d_c-1-p}] \right\} \\ & - \left\{ \frac{1}{2} [(\zeta_{1+}(|n|+1) + \zeta_{1-}(|n|+1))^p - (\zeta_{1+}(|n|+1) - \zeta_{1-}(|n|+1))^p] \right\} \\ & \times \left\{ \frac{1}{2} [(\zeta_{0+}(|n|+1) + \zeta_{0-}(|n|+1))^{d_c-1-p} - (\zeta_{0+}(|n|+1) - \zeta_{0-}(|n|+1))^{d_c-1-p}] \right\}. \end{aligned} \quad (24)$$

对式(23)和(24)进行差分后,即可得到 $\Omega(p)$,将 $\Omega(p)$ 带回式(19)中,易得到校验节点输出信息的 PMF.该方法的时间复杂度为 $\mathcal{O}(d_c N)$,空间复杂度为 $\mathcal{O}(1)$,极大地降低了密度进化算法的复杂度,提高了算法的可行性.

算法 1: Parameters optimization algorithm.

Input: d_v, d_c, R, NP, F, CR .

```

1 Construct basic population: generate NP initial parameters  $\lambda$  and  $\rho$  based on  $d_v$  and  $d_c$ ;
2 Using the DE algorithm, calculate the PMF of the basic population after iteration based on (19) and (18), and
  obtain the noise power  $\sigma_{\text{base}}$ ;
3 Update the maximum tolerable noise threshold  $\sigma_{\text{max}}$  and optimal column weight  $\lambda_{\text{best}}$ ;
4 while  $\sigma_{\text{base}} > 10^{-8}$  do
5   if  $\text{rand}() \leq CR$  then ▷ Crossover
6     Generate new parameters randomly;
7     Perform mutation on the new parameters and the parameters in the basic population based on  $\lambda_{\text{best}}$  and
8      $F^{[10]}$ ; ▷ Mutation
9   end
10 end
11 Perform DE algorithm on the new population, calculating  $\sigma$  and updating  $\sigma_{\text{max}}, \rho_{\text{best}},$  and  $\lambda_{\text{best}}$ ;
12 for  $i = 1 : NP$  do ▷ Selection
13   if  $\sigma_i > \sigma_{\text{base},i}$  then
14     Update the  $i$ -th parameter in the basic population with the  $i$ -th parameter in the new population;
15   end
16 end

```

Output: $\sigma_{\text{max}}, \rho_{\text{best}}, \lambda_{\text{best}}$.

4.3 码本参数优化算法

差分密度进化是一种并行直接搜索的优化算法, 相比于模拟退火、遗传算法等, 差分密度进化算法的复杂度更低, 收敛速度更快. 差分密度进化主要包括 3 个步骤: 变异、交叉和选择. 变异是通过添加两个种群向量的差异来生成新的参数向量. 交叉是通过混合变异向量和目标向量的参数来增加种群的多样性. 选择则是通过贪婪准则来决定是否接受新的参数向量. 算法 1^[10] 给出了基于密度进化的差分密度进化 LDPC 码本参数优化算法.

5 LDPC 码字设计及结果分析

第 4 节详细介绍了非对称信道下的密度进化算法, 该算法通过跟踪接收信息在变量节点与校验节点之间的交互过程, 来估计译码算法实现无差错传输时能容忍的最大噪声功率, 此时的最大噪声功率被称为噪声门限. 在 NAND 闪存中, 信息以电压的形式存储在介质中, 对于采用多级存储单元, 一个存储单元中包含了多个信息. 因此, 首先需要根据阈值电压计算各页信息的 LLR, 式 (25) 给出了最低有效位 (least significant bit, LSB) 和最高有效位 (most significant bit, MSB) 的 LLR:

$$\begin{aligned}
 L_{\text{LSB}}(V_f) &= \log \frac{P(V_f | \text{LSB} = 0)}{P(V_f | \text{LSB} = 1)} = \log \frac{P_{S_2}(V_f) + P_{S_3}(V_f)}{P_{S_0}(V_f) + P_{S_1}(V_f)}, \\
 L_{\text{MSB}}(V_f) &= \log \frac{P(V_f | \text{MSB} = 0)}{P(V_f | \text{MSB} = 1)} = \log \frac{P_{S_1}(V_f) + P_{S_2}(V_f)}{P_{S_0}(V_f) + P_{S_3}(V_f)},
 \end{aligned} \tag{25}$$

其中, P_{S_i} 为状态 S_i ($i = 0, 1, 2, 3$) 的阈值电压 PDF.

考虑第 2.2 小节中的修正 Student's t 信道模型, 由于信道具有非对称性, 因此, 存储单元中每个状态的 PDF 服从独立的修正 Student's t 分布. 以多级存储单元 (multi-level cell, MLC) 为例, 表 1 列出了所有存储状态下 Student's t 分布的参数.

5.1 规则码设计

在 JEDEC 标准 JEP122H^[24] 中明确规定了, NAND 闪存中对可靠性的要求需要达到 10^{-15} 级别,

表 1 NAND 闪存中码本设计信道参数.

Table 1 Channel parameters for code design in NAND flash memories.

State	μ	σ	α	β
S_0	-100	68	10^7	10^7
S_1	140	20	10	110
S_2	270	17	20	6
S_3	429	21	18	18

表 2 规则 LDPC 码在不同量化区间下噪声门限.

Table 2 Noise thresholds of regular LDPC codes for various quantization ranges.

Quant. range	Quant. interval	Rate = 0.5			Rate = 0.8			Rate = 0.9		
		(3, 6)	(4, 8)	(5, 10)	(3, 15)	(4, 20)	(5, 25)	(3, 30)	(4, 40)	(5, 50)
-30~30	0.025	73.298	66.171	61.056	47.342	45.230	42.576	37.399	36.480	34.913
	0.05	73.297	66.169	61.052	47.341	45.229	42.575	37.398	36.479	34.911
	0.1	73.289	66.160	61.048	47.338	45.226	42.570	37.396	36.477	34.906
	0.5	73.026	65.909	61.819	47.238	45.087	42.434	37.335	36.390	34.792
-15~15	0.025	73.298	66.171	61.056	47.342	45.230	42.576	37.399	36.480	34.913
	0.05	73.297	66.169	61.052	47.341	45.229	42.575	37.398	36.479	34.911
	0.1	73.289	66.160	61.048	47.338	45.226	42.570	37.396	36.477	34.906
	0.5	73.026	65.909	60.819	47.238	45.087	42.434	37.335	36.390	34.792
-7~7	0.025	73.328	66.202	61.079	47.380	45.398	42.840	37.390	36.634	35.227
	0.05	73.327	66.199	60.074	47.379	45.398	42.839	37.389	36.633	35.227
	0.1	73.318	66.191	61.068	47.375	45.394	42.831	37.387	36.630	35.223
	0.5	73.057	65.939	60.840	47.273	45.259	42.677	37.322	36.542	35.112
-3~3	0.025	74.165	66.456	59.313	45.236	43.781	41.513	34.715	34.609	33.544
	0.05	74.162	66.453	59.308	45.233	43.786	41.508	34.712	34.607	33.542
	0.1	74.150	66.437	59.290	45.219	43.769	41.493	34.734	34.567	33.530
	0.5	73.816	65.988	58.738	45.030	43.491	41.130	34.555	34.349	33.253

同时,为了保证高效的存储,NAND 闪存中采用的 ECC 码率通常较高.在本小节中,采用非对称密度进化算法分析了不同参数下的 LDPC 码,在码率选择上,选择了一种典型码率和两种高码率 LDPC 码作为实验对象.在本实验中,将 LDPC 码能容忍的最大噪声功率作为纠错性能的评判标准,能容忍的最大噪声功率越大意味着 LDPC 的抗干扰能力越强,可靠性越高.

在实际硬件系统中,考虑到实现效率和资源等问题,需要对信息进行量化,而量化的具体参数选择与系统性能息息相关.为了分析量化参数对规则 LDPC 码纠错性能的具体影响,在不同量化范围、量化间隔和量化位宽下利用密度进化算法获取了不同码本的噪声门限.

实验 1: 首先,在本实验中考考虑列重分别为 3, 4 和 5, 码率为 0.5, 0.8 和 0.9 时的 9 种规则 LDPC 码本. 量化参数考虑了 $[-30, 30]$, $[-15, 15]$, $[-7, 7]$ 和 $[-3, 3]$ 4 种量化范围对输入 LLR 进行量化,并将量化间隔 Δ 设置为 0.025, 0.05, 0.1 和 0.5.

规则 LDPC 码的分析结果如表 2 所示, 码率从 0.5 升至 0.9, 噪声功率逐渐减小, 能容忍的噪声功率衰减约一半, 因此, 码率越低, LDPC 码的纠错性能越好. 对于同一码率, 列重为 3 的 LDPC 码能容忍的噪声功率均比列重为 5 的 LDPC 码大, 由此可看见, 对于规则 LDPC 码而言, 码本越稀疏, LDPC 码性能越佳. 但随着码率的增加, 码本的稀疏性对于纠错性能的差距逐渐减小. 此外, 对于同一量化范围, 随着量化间隔减小, 所有码本的性能都有所提升. 在本实验中, 固定量化范围后, 同一量化间隔在

表 3 规则 LDPC 码在不同量化位宽下噪声门限.

Table 3 Noise thresholds of regular LDPC codes for various quantization bits.

Quant. bit width	Quant. interval	Rate = 0.5			Rate = 0.8			Rate = 0.9		
		(3, 6)	(4, 8)	(5, 10)	(3, 15)	(4, 20)	(5, 25)	(3, 30)	(4, 40)	(5, 50)
3	0.025	63.204	58.010	51.584	38.575	37.488	35.345	29.807	29.704	28.765
	0.05	63.204	58.010	51.584	38.575	37.488	35.345	29.807	29.704	28.765
	0.1	64.134	58.641	52.036	38.924	37.769	35.767	30.137	30.033	28.911
	0.5	69.938	62.713	55.386	41.779	40.287	37.929	31.986	31.739	30.630
4	0.025	63.576	58.761	52.638	38.921	38.011	36.204	30.147	30.255	29.488
	0.05	64.625	59.534	53.242	39.360	38.433	36.595	30.432	30.511	29.732
	0.1	66.613	60.923	54.447	40.264	39.260	37.295	31.042	31.096	30.244
	0.5	74.047	66.167	59.417	45.764	44.154	41.748	35.231	34.982	33.810
5	0.025	64.831	59.739	53.509	39.502	38.619	36.770	30.522	30.655	29.876
	0.05	67.020	55.434	48.949	40.447	39.483	37.558	31.176	31.283	30.459
	0.1	70.636	63.868	56.941	42.247	41.121	39.058	32.382	32.433	31.546
	0.5	73.039	65.925	60.833	47.266	45.210	42.597	37.352	36.524	35.070

不同量化范围下的量化级数不同. 对于同一量化间隔, 不同量化范围对码本的影响具有不确定性, 这取决于量化范围对输入 LLR 信息的覆盖程度. 若量化范围基本覆盖 LLR 信息的取值范围, 则量化间隔越小, 码本的噪声门限越高. 若量化范围小于 LLR 信息的取值范围, 这等效于对 LLR 进行了限幅操作, 而在 LDPC 译码算法中, 过大的 LLR 可能会影响 LDPC 码迭代译码的收敛过程. 因此, 适当对 LLR 限幅可提高 LDPC 译码性能, 在表 2 中, 量化范围 $[-3, 3]$ 的 (3, 6) 规则 LDPC 码的噪声门限明显高于其他量化范围下的噪声门限.

实验 2: 选择实验 1 中的规则 LDPC 码本作为实验对象, 并延续了实验 1 中的部分参数设置量化间隔 Δ , 在本实验中, 将量化位宽 q 设置为 3, 4 和 5, 因此, 量化范围随着量化位宽及量化间隔变化, 即 $[-(2^{q-1} - 1)\Delta, (2^{q-1} - 1)\Delta]$.

从表 3 中可以观察到, 相同量化位宽下, 量化间隔越大码本的纠错性能越好, 这个现象主要是由量化范围与真实 LLR 值的匹配程度所导致. 量化位宽 $q = 3$ 时, 量化级数为 7, 即使量化位宽达到 5, 量化级数也仅为 31. 在本实验中, 量化范围最大为 $[-7.5, 7.5]$, 大部分实验条件下的量化范围未能完全覆盖真实 LLR 值. LLR 值过分被削减, 致使输入译码器的消息未能真实反映信道信息, 进而导致译码器纠错性能被削弱. 此外, 随着码本列重的增加, LDPC 码的纠错性能有所下降, 尤其是在高码率情况下, (3, 30) 规则 LDPC 码的性能与 (5, 50) 规则 LDPC 码的纠错能力处于同一级别.

结合表 2 和 3 可以看出, 在量化级数达到一定程度后, 增加量化级数对 LDPC 码的纠错性能提升的影响是有限的. 相反地, 量化级数增加意味着在硬件实现中需要消耗更多资源, 同时实现复杂度也相应提升. 同时, 若量化范围未能覆盖真实 LLR 值, 量化后的 LLR 消息无法真实反映信道信息, 从而导致 LDPC 码的纠错性能下降. 因此, 需要综合考虑性能与复杂度, 为系统选择适合的量化位宽和量化间隔.

5.2 非规则 LDPC 码设计

第 5.1 小节对不同量化参数下的规则 LDPC 码进行了分析, 而本小节分析不同量化位宽对非规则码的性能影响. 同时, 密度进化算法不单可以分析特定码本的纠错性能, 通过差分密度进化, 可以辅助设计特定条件下的最优码本.

实验 3: 针对码率为 0.9 的非规则 LDPC 码, 考虑量化位宽为 3, 4 和 5 时最大列重分别为 4 和

表 4 非规则 LDPC 码在不同量化位宽下的最优参数.

Table 4 Optimized parameters of irregular LDPC codes for various quantization bits.

Quant. bit width		Max $d_v = 3$	Max $d_v = 4$	Max $d_v = 5$
3	Column distribution	$\lambda_3 = 1$	$\lambda_3 = 0.5343$ $\lambda_4 = 0.4657$	$\lambda_3 = 0.6268, \lambda_4 = 0.0018$ $\lambda_5 = 0.3714$
	Row distribution	$\rho_{30} = 1$	$\rho_{33} = 0.0461$ $\rho_{34} = 0.9539$	$\rho_{35} = 0.7424$ $\rho_{36} = 0.2576$
	Threshold	31.986	32.2570	32.470
4	Column distribution	$\lambda_3 = 1$	$\lambda_3 = 0.5832$ $\lambda_4 = 0.4168$	$\lambda_3 = 0.64079, \lambda_4 = 0.00017$ $\lambda_5 = 0.35904$
	Row distribution	$\rho_{30} = 1$	$\rho_{33} = 0.5029$ $\rho_{34} = 0.4971$	$\rho_{35} = 0.9664$ $\rho_{36} = 0.0336$
	Threshold	35.231	35.5130	35.700
5	Column distribution	$\lambda_3 = 1$	$\lambda_3 = 0.8852$ $\lambda_4 = 0.1148$	$\lambda_3 = 0.8615, \lambda_4 = 0.0017$ $\lambda_5 = 0.1368$
	Row distribution	$\rho_{30} = 1$	$\rho_{30} = 0.1101$ $\rho_{31} = 0.8899$	$\rho_{31} = 0.2432$ $\rho_{32} = 0.7568$
	Threshold	37.352	37.421	37.516

5 时, 非规则 LDPC 码的最优行重与列重分布. 由于列重为 2 的变量节点可能导致 LDPC 码出现错误平层现象, 因此在本实验中不考虑列重为 2 的情况. 最大列重为 3 的规则 LDPC 码的纠错性能作为比较基线也被列出.

表 4 给出了不同最大列重下的最优行重列重分布和相应的噪声门限, 随着量化位宽的增加, 所有码本的性能均有较大幅度提升. 与表 3 的后三列数据进行比较, 经过差分密度进化设计后, 码率 0.9 的非规则 LDPC 码的纠错性能均比相同码率下的规则码性能更优. 值得注意的是, 对于规则 LDPC 码, 从实验 2 中观察到, 随着行重和列重的增加, LDPC 码的纠错性能下降. 而对于非规则 LDPC 码, 则得出与实验 2 中相反的结论. 在同一量化位宽下, 随着最大列重的增加, 经过优化设计后的 LDPC 非规则码的性能越来越好. 对于 LDPC 码中的变量节点而言, 列重的增加意味着其参与的校验方程越多, 该节点也能从更多的路径获得信息以辅助纠错, 因此, 列重的增大有利于提升 LDPC 码的纠错性能. 相反地, 校验节点的行重越大, 它能够提供给相邻变量节点信息的可靠度反而减小. 因为, 同一校验方程包含的变量节点越多, 意味着满足校验方程的组合数越多, 所以正确信息的组合概率反而减小. 因此, 采用密度进化算法对 LDPC 非规则码的优化设计是通过综合考虑行重和列重的分布, 使其性能实现最优化^[25].

5.3 纠错能力比较

在 IEEE 标准^[26]中给出了闪存中 QC-LDPC 码的基矩阵, 文献 [26] 中的附录 A 给出了码长为 10080, 码率为 0.83, 列重为 4, 行重系数 $\rho_{23} = 0.0833, \rho_{24} = 0.9167$ 的非规则 LDPC 码, 将该码本命名为 CODE 1 并作为本小节中 LDPC 码的纠错性能的比较基线.

实验 4: 为了公平性比较, 按照 CODE 1 给出的 LDPC 码参数, 设置码率为 0.83, 最大列重为 4. 综合实验 1 和实验 2 结果, 选择量化间隔为 0.5, 在量化位宽分别为 3, 4 和 5 下设计了最优非规则 LDPC 码, 分别为 CODE 2, CODE 3 和 CODE 4. 表 5 给出了 4 种码本的行重列重分布, 以及相应的噪声门限. 从表中易看出, CODE 2, CODE 3 和 CODE 4 对应的噪声门限均高于 CODE 1 的噪声门限, 通过密度进化算法得到的不同量化位宽下的非规则码性能均比 IEEE 标准中给出的规则码纠错能力更强. 同时, 可以观察到, 随着量化位宽增加, 码本对应的噪声门限也有显著提升.

表 5 4 种非规则 LDPC 码参数信息.

Table 5 Parameters of four irregular LDPC codes.

	Bit width	Column distribution	Row distribution	Threshold
CODE 1	—	$\lambda_4 = 1$	$\rho_{23} = 0.0833, \rho_{24} = 0.9167$	37.684
CODE 2	3	$\lambda_3 = 0.7282, \lambda_4 = 0.2718$	$\rho_{18} = 0.0633, \rho_{19} = 0.9367$	39.123
CODE 3	4	$\lambda_3 = 0.7614, \lambda_4 = 0.2386$	$\rho_{18} = 0.2238, \rho_{19} = 0.7762$	42.905
CODE 4	5	$\lambda_3 = 0.9144, \lambda_4 = 0.0856$	$\rho_{18} = 0.9653, \rho_{19} = 0.0347$	44.518

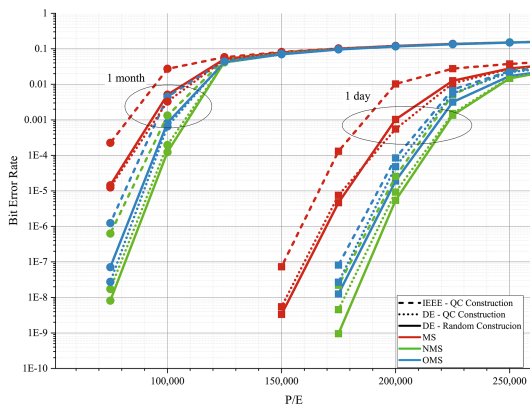


图 3 (网络版彩图) 存储单元在不同磨损程度下, IEEE 标准 QC-LDPC 码、DE 优化 QC-LDPC 码和 DE 优化随机 LDPC 码误码性能比较.

Figure 3 (Color online) BER performance comparison between IEEE standard QC-LDPC code, DE optimized QC-LDPC code, and DE optimized random LDPC code with different wear-out conditions.

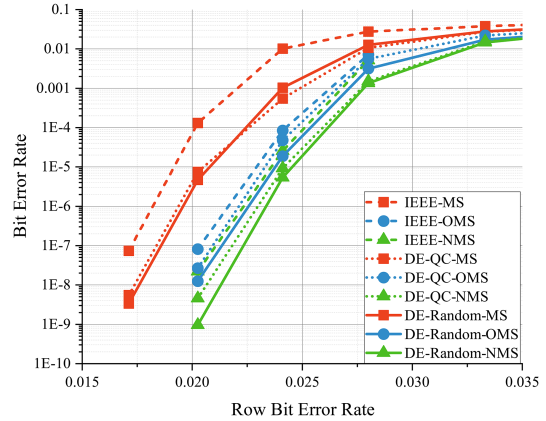


图 4 (网络版彩图) IEEE 标准 QC-LDPC 码、DE 优化 QC-LDPC 码和 DE 优化随机 LDPC 码纠错能力比较.

Figure 4 (Color online) Error correction capability comparison for IEEE standard QC-LDPC code, DE optimized QC-LDPC code, and DE optimized random LDPC code.

考虑低精度量化问题, 为了更直观地展示密度进化方法所设计码本在纠错性能上的优势, 选择 CODE 2 中的行重列重分布, 并通过随机构造方式和准循环 (quasi-cyclic, QC) 构造方式, 分别生成了码长为 10080 的随机 LDPC 码和 QC-LDPC 码校验矩阵, 其中, 参照 IEEE 标准中的 LDPC 码, 本实验中所设计的 QC-LDPC 码的扩展因子为 140. 综合考虑第 2.1 小节中的 RTN 噪声、单元间干扰和数据驻留噪声, 对比了不同 P/E 和驻留时间下 3 种码本在 MS, NMS 以及偏移最小和 (offset MS, OMS) 3 种译码方式下的纠错性能.

在图 3 中, 红色、绿色和蓝色曲线分别表示 MS, NMS 以及 OMS 译码算法下不同 LDPC 码本的译码性能, 同时短划线、点线以及实线分别表示 IEEE 标准中 QC-LDPC 码、DE 优化 QC-LDPC 码以及 DE 优化随机 LDPC 码的错误概率曲线. 从图 3 中可以观察到, 随着存储单元 P/E 次数和数据驻留时间的增加, LDPC 码的 BER 随之提升. 对于本实验中的存储单元, 当 P/E 次数达到 150000 次后, 当前 LDPC 码本已无法保证数据的可靠存储. 同时, 可以看出, 所有颜色的曲线中, 短划线所代表的 IEEE 标准中 LDPC 码的误码曲线均位于其他两种码本之上, DE 优化设计后两种码本性能接近. 此外, 可以观察到, 通过 DE 算法对码本进行优化后, 码本性能整体得到了提升, 尤其是在低误码的情况下. 当 BER 处于 10^{-6} 级别时, DE 算法优化设计后的码本纠错性能提升 1 个数量级以上.

为了更直观地观察 3 种 LDPC 码的纠错能力, 本实验统计了不同 RBER 下不同 LDPC 码对数据的保护能力, 图 4 绘制了 3 种 LDPC 码本在不同译码算法下 BER 随 RBER 的变化曲线, 图中红色、蓝色以及绿色曲线分别代表 MS, OMS 以及 NMS 算法下的 LDPC 码纠错性能曲线, 短划线、点线以

及实线分别表示 IEEE 标准中 QC-LDPC 码、DE 优化 QC-LDPC 码以及 DE 优化随机 LDPC 码的错误概率曲线。

从图 4 中可以观察到,随着 RBER 的增加,LDPC 码本的 BER 逐渐增加后趋于平稳,这意味着当存储单元的磨损情况劣化到一定程度后,该 LDPC 码无法完成数据纠错,这也是 NAND 闪存控制器中判断坏块的重要因素之一.本实验中所采用的闪存单元当 RBER 小于 0.03 时,LDPC 码均能正常完成纠错功能.在 MS 译码算法下,经过 DE 算法优化设计后的 LDPC 码性能明显优于 IEEE 标准中的 LDPC 码本,性能提升 1 个数量级以上.在对 MS 译码算法进行优化后,NMS 算法与 OMS 算法对 IEEE 标准中的 LDPC 码本性能提升更为显著,但整体来看,DE 优化设计后的码本性能仍优于标准中的 LDPC 码.

6 总结与讨论

本文针对 NAND 闪存系统的 ECC 码本进行优化设计.首先,对 NAND 闪存信道中的阈值电压特性进行了全面分析,并用修正 Student's t 分布对 NAND 闪存信道进行建模.同时,考虑了量化的参数对 LDPC 码纠错性能的影响,分析了不同量化位宽和量化范围下的规则和非规则 LDPC 码.最后,以 IEEE 闪存标准中的 LDPC 码本为比较基线,对比了经过优化设计后的 LDPC 码本与标准中的 LDPC 码本在不同译码算法下的纠错性能.仿真结果表明,在存储单元的正常使用寿命内,经过优化的 LDPC 码本在纠错性能上能够提升 1 个数量级.

参考文献

- 1 Cai Y, Ghose S, Haratsch E F, et al. Error characterization, mitigation, and recovery in flash-memory-based solid-state drives. *Proc IEEE*, 2017, 105: 1666–1704
- 2 Fang Z Q, Ma Z, Zhou X, et al. LDPC code-dependent quantization for the NAND flash channel. *Sci Sin Inform*, 2022, 52: 1542–1559 [方泽群, 马征, 周璇, 等. 考虑 LDPC 码字的 NAND 闪存信道量化. *中国科学:信息科学*, 2022, 52: 1542–1559]
- 3 Liu L, Liu C, Jiang L, et al. Ultrafast non-volatile flash memory based on van der Waals heterostructures. *Nat Nanotechnol*, 2021, 16: 874–881
- 4 Zhang M, Zhang X, Wu F, et al. ALCod: adaptive LDPC coding for 3-D NAND flash memory using inter-layer RBER variation. *IEEE Trans Consumer Electron*, 2023, 69: 1068–1081
- 5 Gallager R G. Low-density parity-check codes. *IEEE Trans Inform Theor*, 1962, 8: 21–28
- 6 Wang J, Vakili K, Chen T Y, et al. Enhanced precision through multiple reads for LDPC decoding in flash memories. *IEEE J Sel Areas Commun*, 2013, 32: 880–891
- 7 Brink S T. Convergence of iterative decoding. *Electron Lett*, 1999, 35: 806–808
- 8 Dupraz E, Leduc-Primeau F. Noisy density evolution with asymmetric deviation models. *IEEE Trans Commun*, 2021, 69: 1403–1416
- 9 Richardson T J, Shokrollahi M A, Urbanke R L. Design of capacity-approaching irregular low-density parity-check codes. *IEEE Trans Inform Theor*, 2001, 47: 619–637
- 10 Storn R, Price K. Differential evolution — a simple and efficient heuristic for global optimization over continuous spaces. *J Glob Optim*, 1997, 11: 341–359
- 11 Yuan T, Ma Z, Pang Q K, et al. Discrete density evolution and LDPC codes design with asymmetric channels. *Sci Sin Inform*, 2023, 53: 787–802 [袁涛, 马征, 庞琦珂, 等. 非对称信道下离散密度进化及 LDPC 码设计. *中国科学:信息科学*, 2023, 53: 787–802]
- 12 Cui L L, Liu X, Wu F, et al. A low bit-width LDPC min-sum decoding scheme for NAND flash. *IEEE Trans Comput-Aided Des Integr Circ Syst*, 2022, 41: 1971–1975
- 13 Zhang X, Siegel P H. Quantized iterative message passing decoders with low error floor for LDPC codes. *IEEE Trans Commun*, 2014, 62: 1–14
- 14 Lin X, Han G J, Ouyang S, et al. Low-complexity detection and decoding scheme for LDPC-coded MLC NAND flash memory. *China Commun*, 2018, 15: 58–67

- 15 Takeuchi K, Tanaka T, Nakamura H. A double-level- V_{th} select gate array architecture for multilevel NAND flash memories. *IEEE J Solid-State Circ*, 1996, 31: 602–609
- 16 Dong G, Pan Y, Xie N, et al. Estimating information-theoretical NAND flash memory storage capacity and its implication to memory system design space exploration. *IEEE Trans VLSI Syst*, 2012, 20: 1705–1714
- 17 Luo Y, Ghose S, Cai Y, et al. Enabling accurate and practical online flash channel modeling for modern MLC NAND flash memory. *IEEE J Sel Areas Commun*, 2016, 34: 2294–2311
- 18 Zhan X P, Chen J Z, Ji Z G. Insights of V_G -dependent threshold voltage fluctuations from dual-point random telegraph noise characterization in nanoscale transistors. *Sci China Inf Sci*, 2022, 65: 189405
- 19 Compagnoni C M, Ghidotti M, Lacaita A L, et al. Random telegraph noise effect on the programmed threshold-voltage distribution of flash memories. *IEEE Electron Device Lett*, 2009, 30: 984–986
- 20 Sonoda K, Ishikawa K, Eimori T, et al. Discrete dopant effects on statistical variation of random telegraph signal magnitude. *IEEE Trans Electron Devices*, 2007, 54: 1918–1925
- 21 Kullback S, Leibler R A. On information and sufficiency. *Ann Math Statist*, 1951, 22: 79–86
- 22 Nelder J A, Mead R. A simplex method for function minimization. *Comput J*, 1965, 7: 308–313
- 23 Sheng Z, Xie S Q, Pan C Y. *Probability Theory and Mathematical Statistics*. 3rd ed. Beijing: Higher Education Press, 2001. 57–61 [盛骤, 谢式千, 潘承毅. 概率论与数理统计. 第三版. 北京: 高等教育出版社, 2001. 57–61]
- 24 Joint Electronic Device Engineering Council (JEDEC). Failure mechanisms and models for semiconductor devices. JEP 122H, <https://www.jedec.org/standards-documents/docs/jep-122e>
- 25 Yuan D F, Zhang H G. *Theory and Application of LDPC Codes*. Beijing: Posts & Telecom Press, 2008 [袁东风, 张海刚. LDPC 码理论与应用. 北京: 人民邮电出版社, 2008]
- 26 Institute of Electrical and Electronics Engineers. IEEE Standard for Error Correction Coding of Flash Memory Using Low-Density Parity Check Codes. IEEE Std 1890–2018, <https://ieeexplore.ieee.org/document/8654228>

Optimization design for low-density parity-check codes in NAND flash memory systems

Xuan ZHOU, Zheng MA*, Qike PANG & Xiaohu TANG

School of Information Science and Technology, Southwest Jiaotong University, Chengdu 610031, China

* Corresponding author. E-mail: zma@home.swjtu.edu.cn

Abstract The escalating demand for high-capacity storage has spurred significant advancements in NAND flash memory technology. However, this quest for increased storage density has inadvertently compromised the resilience of NAND flash memory systems to interference. Consequently, the optimization of error control code designs for NAND flash systems has emerged as a pivotal area of research. In this study, we initiate a comprehensive analysis of interference phenomena within NAND flash memory systems. Due to the asymmetric and non-Gaussian nature of the threshold voltage across memory cells, we have opted for a modified Student's t-distribution to better model these characteristics. Subsequently, we employ a discrete asymmetric density evolution (DE) algorithm to analyze the effects of quantization on low-density parity-check (LDPC) codes. We then harness a differential evolution algorithm to optimize the parameters of the irregular LDPC codes. Finally, we optimize the codebook in the IEEE standard of flash memory. Simulation results show that our optimized codebook enhances error correction performance by an order of magnitude. Furthermore, the optimized codebook significantly prolongs the operational lifespan of memory cells.

Keywords NAND flash memory system, low-density parity-check codes, modified Student's t-model, asymmetric density evolution algorithm, quantization