SCIENTIA SINICA Informationis 评述



## 从 SoC 到 SDSoW: 微电子发展的新范式

邬江兴<sup>1</sup>, 刘勤让<sup>1</sup>, 沈剑良<sup>1</sup>, 吕平<sup>1</sup>, 宋克<sup>1</sup>, 张帆<sup>1</sup>, 李沛杰<sup>1\*</sup>, 陈艇<sup>1</sup>, 刘冬培<sup>1</sup>, 张汝云<sup>2</sup>, 李顺斌<sup>2</sup>, 高彦钊<sup>1</sup>, 魏帅<sup>1</sup>, 张文建<sup>1</sup>, 赵博<sup>1</sup>, 郭威<sup>1</sup>, 虎艳宾<sup>1</sup>, 祁晓峰<sup>1</sup>, 董春雷<sup>1</sup>, 于洪<sup>1</sup>, 张丽<sup>1</sup>, 张霞<sup>1</sup>, 裴雪<sup>1</sup>, 赵豪兵<sup>1</sup>, 李智超<sup>1</sup>, 刘文斌<sup>1</sup>

1. 信息工程大学信息技术研究所, 郑州 450002

2. 之江实验室, 杭州 311121

\* 通信作者. E-mail: lipeijie@csivo.com

收稿日期: 2023-07-19; 修回日期: 2023-11-16; 接受日期: 2024-03-07; 网络出版日期: 2024-06-13

国家重点研发计划 (批准号: 2022YFB4401401) 和之江实验室 (批准号: 2021LE0AC01) 资助项目

**摘要** 微电子在智能时代正迎来新一轮技术与产业的重大变革期.本文从智能时代的科学方法论、系 统集成的工程技术路线和微电子摩尔定律 (Moore's law) 的维度扩展 3 个层面导入,提出了网络极大 化节点极小化的复杂巨系统构造、异构异质芯粒的晶上拼装集成、硬件资源的领域专用软硬件协同定 义,形成了软件定义晶上系统的新发展范式,对微电子的设计方法、系统集成、应用开发、经济性指标 等进行了内涵升级,可全面刷新信息基础设施的技术物理形态,贡献一条"晶圆级硅基直连"的系统 集成工程技术路线,并有望打造出智能涌现的物理底座.

关键词 片上系统,软件定义互连,软件定义晶上系统,异质异构,热压键合,软硬件协同

#### 1 引言

当前,人类社会正在从"人机物"互联迈入万物智联,网络连接呈指数级扩张,数据规模正爆炸式 增长,服务质量向极致化迈进,现有的传感、计算、通信、存储与安全技术都将迎来巨变<sup>[1]</sup>,这给信息 基础设施发展带来巨大机遇的同时,也对信息基础设施的内涵外延、技术特征、产业能力提出了新的、 更高的需求:对超高密度与超强能力的无止境需求,对"摩尔定律"(Moore's law)持续有效的需求,对 新型智能应用服务质量的极致化保证需求和对服务模式重新定义的需求.美国 2020 年发布的《十年 半导体计划》<sup>[2]</sup>指出,若没有技术与产业的范式变革,到 2040 年,信息基础设施的耗电将超出能源供 给总量,仅搬移每年产生的数据将需要 20 年,全球所有生产的硅晶圆用来存储数据都不够.

**引用格式:** 邬江兴, 刘勤让, 沈剑良, 等. 从 SoC 到 SDSoW: 微电子发展的新范式. 中国科学: 信息科学, 2024, 54: 1350–1368, doi: 10.1360/SSI-2023-0219 Wu J X, Liu Q R, Shen J L, et al. From SoC to SDSoW: a new paradigm for microelectronics development (in Chinese). Sci Sin Inform, 2024, 54: 1350–1368, doi: 10.1360/SSI-2023-0219

© 2024《中国科学》杂志社

但微电子技术从最初的晶体管到复杂的片上系统 SoC (system on chip), 一直将摩尔定律奉为圭 臬, 随着工艺制程和封装技术的发展, 现有的集成电路面临着综合困局:先进工艺节点逐步逼近物理极 限, 超大裸芯尺寸导致良率锐减及高级封装带来的散热瓶颈.摩尔定律逐渐失效, 集成电路进入后摩 尔时代, 然而微电子作为未来智能信息基础设施的物质基石, 是继续朝着晶体管微缩的技术路线, 在先 进材料、先进工艺和先进器件上持续发力, 还是在先进集成的技术路线上, 革新先进集成和先进架构, 成为微电子未来如何继续发展和怎样发展必须回答的问题.

本文首先从哲学、系统和微电子的视角,分别对未来智能信息基础设施的发展、信息系统的工程 技术路线和集成电路摩尔定律扩展进行分析,指出未来微电子发展需要具备的特征,然后在第2节给 出契合未来微电子在发展需求的范式变革技术 SDSoW,并给出 SDSoW 的设计理论、工程实现思路、 内涵及关键技术,最后在第3节给出 SDSoW 的未来发展展望.

#### 1.1 哲学视角: 以"新三论"探究智能信息系统发展之路

回答微电子未来如何发展,首先要看清人类社会未来的走向.目前,人类的发展经历了两个最重要的阶段:第1阶段是机械化,机械化的本质是用机械手段增强和替代人类的体力;第2阶段是信息化,信息化的本质是使用电子手段增强人类的感知力.下一步,人类将迎来的第3阶段是智能化,即用人工智能提升人的智力、增强人的大脑.智能将给人类社会进步和长周期经济增长带来重大机遇,有望继蒸汽机、电力、信息化之后引领以智能化为标志的新一轮工业革命,将大幅解放生产力,推动人类社会进入新的发展阶段.然而,我们如何才能从信息时代迈向智能时代呢?是靠当下以深度学习等为代表的大算力、大数据和强算法发展之路吗?从人脑智慧给我们的启迪来看,答案显然不是,应该有一条与人类智慧"功能等价、效能接近"的发展之路.要找到这条路径,有必要首先从哲学视角思考一下方法论这个基石问题,从习以为常的认知中跳出来,找寻通往智能本质的认知与科学方法论.

推动人类社会从机械化阶段进入信息化阶段的基础理论是系统论 (systematology)、控制论 (cybernetics) 和信息论 (information theory). 这三者是 20 世纪 40 年代先后创立并迅猛发展的三门系统理 论分支学科,支撑了信息技术的发展.虽然仅有半个世纪,但在系统科学领域中已成熟完备,合称"老 三论",也称为 SCI 论.系统论把事物当作一个整体或系统来研究,并用数学模型去描述和确定系统的 结构和行为,具有目的性、动态性、有序性三大基本特征.控制论是使用新的统计理论研究系统运动 状态、行为方式和变化趋势的各种可能性,使系统按预定目标运行的技术科学<sup>[3]</sup>.信息论<sup>[4]</sup>用概率论 和数理统计方法,从量的方面来研究系统的信息如何获取、加工、处理、传输和控制,而系统正是通过 获取、传递、加工与处理信息而实现其有目的的运动."老三论"共同建立了确定性、自动化信息处理 的基础,也是以深度学习为代表的人工智能发展路线的理论基础.但是从当前已有的人类大脑网络结 构与工作机制研究成果来看,未来人工智能的发展途径虽尚有待探索,但有一点却是可以明确的,即 "功能等价、效能接近"的人工智能必须基于复杂性系统,而不是确定性系统.其核心原因在于以"老 三论"为理论基础的确定性系统虽然具有明确目标导向的处理能力,但无法支撑面向环境的高动态、 自优化的演化能力.

耗散结构论 (dissipative structure theory)、协同论 (synergetics)、突变论 (catastrophe theory) 是 20 世纪 70 年代以来陆续确立并获得极快进展的三门系统理论分支学科,建立在人类对复杂性系统逐步深入认识的基础上,也是有望助推人类探索复杂性系统的基础理论.它们虽然时间不长,却已在系统科学领域中展现出革命性影响,合称"新三论",也称为 DSC 论.

耗散结构论<sup>[5]</sup> 是探索耗散结构微观机制有关非平衡系统行为的理论, 普利高津 (Prigogine) 提出 "非平衡是有序之源"的著名论断, 认为系统只有在远离平衡的条件下, 才有可能向着有秩序、有组织、



图 1 "老三论" + "新三论" = "智能涌现"方法论 Figure 1 SCI + DSC = intelligent emergence methodology

多功能的方向进化,这与系统论有异曲同工之妙.协同论<sup>[6]</sup> 旨在建立一种统一的观点来处理复杂系统 的概念和方法,其重要贡献在于通过大量的类比和严谨的分析,论证了各种自然系统和社会系统从无序 到有序的演化,都是组成系统的各元素之间相互影响又协调一致的结果,其重要价值在于既为一个学科 的成果推广到另一个学科提供了理论依据,也为人们从已知领域进入未知领域提供了有效手段.突变 论<sup>[7]</sup> 是在拓扑学、奇点理论和稳定性数学理论基础上,通过描述系统在临界点的状态,来研究自然多 种形态、结构和社会经济活动的非连续性突然变化现象,并通过将耗散结构论、协同论与系统论联系 起来,对系统论的发展产生推动作用.突变理论通过探讨客观世界中不同层次上各类系统普遍存在着 的突变式质变过程,揭示出系统突变式质变的一般方式,说明了突变在系统自组织演化过程中的普遍 意义,它突破了牛顿单质点的简单性思维,揭示出物质世界客观的复杂性.突变理论中所蕴含着的科 学哲学思想包括内部因素与外部相关因素的辩证统一、渐变与突变的辩证关系、确定性与随机性的内 在联系以及质量互变规律的深化发展等.

本质而言,智能的处理对象应该是知识,其衡量指标应该是智力,主要研究内容包括知识表达、知 识传递、知识处理等. 然而,我们却在用信息的思维视角去研究和发展智能,处理对象是数据或信息, 衡量指标是算力,主要研究内容仍然是信息论范畴的信息获取、加工、处理、传递等. 要实现从数据到 知识的跃迁、从算力到智力的回归,需要如图 1 所示,用"新三论"升级科学研究的方法论,这可能是 我们通往"智能涌现"的奠基性一步. 然而,要支撑"老三论"到"新三论"的升级,实现基于复杂性系 统"智能涌现"之路的探索,必须具备合适的物理平台支撑. 从人类大脑这一通用智能唯一参照物的 物理结构和工作机理来看,所谓合适的物理平台必须首先具有大规模资源以及支撑网络自演化的高密 度、可重构、低时延互连结构. 显然,当前信息系统的构建方式根本无法满足这样的基本需求,必须探 索新的智能信息系统发展道路.

#### 1.2 系统视角: 以系统工程学升级工程技术路线

当前,不论是芯片设计与制造,还是系统设计与集成,都呈现弱耦合发展甚至独立发展的关系,由 于缺乏归一化的工程技术路线,系统设计与集成、设备开发与应用、芯片设计与制造等垂直环节协同 失配,一方面导致芯片与设备的设计无法"最佳适配"上层系统应用的个性化需求,另一方面也导致 裸芯的"原始性能"在系统层面呈现逐级插损.因此也就出现了当下云计算、超算、大数据中心等大型 信息基础设施所面临的严重"功耗墙"、"运维墙"、"性能墙"问题,以及无人机、机器人、空基平台等 由于功耗、体积和载重受限导致的功能单一、性能低下问题.

在芯片视角,一直遵循"晶圆 – 划片 – 封装"的"裸芯封装式"工程技术路线,由于系统对芯片 的功能多样性与性能先进性追求永无止境的攀升,芯片沿着3个维度快速发展:工艺制程越来越先 进,从μm 级发展到 nm 级; 单裸芯面积越来越大,从几 mm<sup>2</sup> 发展到近千 mm<sup>2</sup>; 封装的裸芯数量越 来越多,从单个到数十个.不仅涌现出单核、多核、众核等系列化处理器,还诞生出图形处理器 GPU (graphics processing unit)、网络处理器 NPU (network processing unit)、信息处理器 IPU (infrustracture processing unit)、数据处理器 DPU (data processing unit) 等多样化领域专用处理器, 直至发展到涵盖 传感、传输、存储、计算、交换、控制、交互等广谱化产品的微电子盛世.但芯片在3个维度的发展均 遭遇天花板,"摩尔定律将死"的声音不绝于耳,并出现了各种"超越摩尔定律"的技术路线.具体而言, 在工艺制程维度,随着工艺制程进入3nm,1nm 乃至亚nm,量子隧穿效应将使得"电子失控",传统的 硅基技术路线遭遇第一道瓶颈;在单裸芯尺寸维度,由于受限于光罩尺寸 858 mm<sup>2</sup> 的面积上限,以及 随裸芯面积增大生产良率的快速下降,单个裸芯面积一直在工程水平和经济性间进行折中,且无法突 破光罩尺寸上限;在封装维度,不论是 TSMC 的 SoIC (system on integrated chips)、Intel 的 ODI (omnidirectional interconnect), 都是百个以内的小规模裸芯封装基线技术, 同时更多层数的 3D 封装又存在 散热瓶颈,导致封装规模局限在数十个以下规模.参考文献 [8] 中的图 2. 由于工艺特征尺寸的进步 (大 约 1000 倍) 与封装特征尺寸的进步 (大约 4 倍) 严重失配, "裸芯封装式" 工程技术路线存在巨大的性 能进步鸿沟,封装严重"衰减"了裸芯对外通信的带宽、时延和能效等核心性能指标.同时,封装尺寸 与芯片内部布线尺寸的严重失配,导致芯片的对外接口不得不大量采用 SerDes (serializer/deserializer), 以致占用了芯片面积的 30%, 消耗了芯片总功耗的 30%~50% [9]. 当前, 中道封装技术的出现, 例如晶 圆级封装 WLP (wafer level package)、硅通孔技术 TSV (through silicon via)、2.5D Interposer、3DIC (3D integrated chips)、Fan-Out 等技术的产业化, 正在极大提升先进封装技术的水平.

在系统视角,系统集成一直遵循"芯片 – 模组 – 机匣 – 机架 – 系统"的"逐级堆砌式"工程技术路线.而对于一个复杂信息系统,如超算中心、数据中心、边缘计算等,通常包含大量的接口、存储、计算、交换等芯片,而这些芯片按照系统层次化的体系结构,依次堆砌为模组、机匣、机架、系统,其中模组通常在一个 PCB (printed circuit board)子卡上集成多个芯片,芯片之间的通信需要经过管脚和 PCB 走线; 机匣通常包含一个或多个板卡,芯片之间的通信需要经过管脚、较长的 PCB 走线基至还有接插件;机架通常由电/光背板连接的多个机匣组成,不同机匣之间的芯片通信需要经过管脚、更长的 PCB 走线、接插件、电/光缆;系统通常包括由网络连接的多个机架,不同机架芯片之间的通信需要经过多个管脚、多段 PCB 走线、多个接插件、交换网络和更长的电/光缆.参考文献 [10]中的图 2,随着通信芯片间的半径变长,芯片内,不同封装时通信链路会呈现带宽下降、时延增加和能效下降的现象,体现出裸芯"原始性能"的逐级插损.本质而言,不同的裸芯之间能够以最高的物理密度进行集成就可以获得最小的"性能插损",然而系统所需要的是裸芯的通信、计算、存储等信息处理能力,驱动管脚、PCB 走线、接插件和电/光缆等所增加的能量对性能不产生任何增益,这可以看作是"插损能量"和"插损性能".2020年11月,TOP500第一名的"富岳"超级计算机的峰值性能达到537.2 PFLOPS,但其功耗已达到 30 MW,如果扩展到 E 级机,能耗将接近 60 MW,全年耗电量将达到数亿千瓦、时,功耗墙将导致用不起.

#### 1.3 微电子视角: 以维度扩展重新定义摩尔定律

自 Intel 创始人戈登·摩尔提出"芯片上的晶体管密度平均每 18~24 个月翻一番"以来, 在过去 半个多世纪, 摩尔定律几乎成为推动整个高科技行业的圭臬. 自 1971 年发布 Intel 4004 微处理器至今, MOS 晶体管的线性尺寸缩小了约 1000 倍, 单个芯片上的晶体管数量增加了约 1500 万倍. 然而随着 芯片的工艺制程向 3 nm, 2 nm 和 1 nm 迈进, 栅极长度逐渐缩小到 2 nm 以下, 其长度只相当于 10 个 原子大小, 这个尺度电子的行为将进入量子力学测不准原理的领域, 晶体管可靠性将无法保证, 同时 散热和生产成本控制也难以逾越, 摩尔定律正逼近物理、技术和成本的极限. 性能方面, 2002 年以前全 球芯片每年性能提升 52% 左右, 到 2010 年为 23%, 到 2015 年为 12%, 之后几年差不多每年提升 3%, 性能增速的摩尔定律不再有效. 经济性方面, 在 2014 年左右, 芯片工艺演进至 28 nm 时, 100 万晶体 管的价格大约是 2.7 美分, 当演进到 20 nm 时, 价格反而涨到 2.9 美分, 经济性摩尔定律不再有效. 由 此可见, 传统的性能、功耗和面积 (high performance, low power, area denser) 指标逐渐失效<sup>[11]</sup>, 通过 晶体管尺寸微缩的二维化模式来延展摩尔定律已经变得越来越难, 需要从第一性原理出发定义系统级 摩尔定律.

摩尔定律本质上揭示的是芯片技术持续进步推动人类生产力不断发展的缩影,因此可重新定义摩 尔定律如下.

**定义1** (系统级摩尔定律) 系统在单位面积、单位功耗与单位成本上的功能密度<sup>[12]</sup> (计算/存储/通信等) 在大约每经过 18 个月或 2 年翻一番.

系统级摩尔定律可将适用范围从芯片级拓展到系统级,并将工艺制程进步退化为芯片技术进步的 手段, 而非目的. 当前微电子领域, 无论三维晶体管结构、3D 封装<sup>[13~15]</sup>、异质异构集成<sup>[16]</sup> 还是创新 体系结构[17~19] 等, 只要能带来系统级"功能密度"的提升, 都是摩尔定律追求的方向. 按照系统级摩 尔定律, 微电子技术会在以下几个方向发展: (1) 先进工艺方向, 晶体管结构由平面型向 3D 立体化的 演进. 从平面场效应晶体管 Planar FET 发展到鳍式场效应晶体管 FinFET <sup>[20]</sup>, 再到最新的以堆叠纳 米片场效应晶体管 Nanosheet FET<sup>[21]</sup> 和纳米线 Nanowire 为代表的 GAA<sup>[22]</sup> (gate all around) 的新 一代晶体管结构,都通过解决晶体管中电荷泄漏到栅极附近导致开关效率不高的问题,实现了运算性 能的提高和功耗的降低,此外还有碳基、锗基、硅光等新材料的发展,能够在物理特性上直接革新未 来微电子的发展模式,但新工艺的极限逼近及新材料的进展缓慢和难逃摩尔定律桎梏的本质使得未来 微电子仍需在此方向上修修补补. (2) 设计理念方向,从强调晶体管密度转向强调功能密度. 功能密度 是指单位体积内包含的功能单位的数量,而功能单位是指能够完成一定功能的逻辑单元,如算术逻辑 单元 ALU (arithmetic and logic unit)、输入输出控制单元 I/O Control Unit、CPU (central processing unit)、存储器等,所以无论是多核、片上存储、高密度互连,还是异构计算加速器,本质上是提升芯片 的系统功能密度,晶体管密度不再是摩尔定律的唯一指标,按照功能不同可以归纳为逻辑密度、存储 密度和互连密度 3 个维度,参考文献 [23] 中的图 1. 以功能密度为导向的设计理念可以作为未来微电 子发展的指导理念,弥补先进工艺的不足.(3)先进集成方向,二维化扩展转向异构异质集成.芯片将 由传统的平面型制造和封装向 2.5D, 3D 等先进制造和封装过渡, 可将不同尺寸、不同制程工艺及异 质材料的芯粒拼装集成, 通过 W2W (wafer to wafer), D2D (die to die) 和 D2W (die to wafer) 等互连 技术,制造出功能更丰富、灵活性更高、功耗更低、性能更高的系统级芯片.先进集成的进步是一种 扩维的进步,是未来微电子发展的最主要参考,但仍需跳出现有先进集成侧重追求大芯片而非大系统 的思维, 更好地契合功能密度在更高维度上的提升. (4) 系统架构方向, 由软硬件配合转向软硬件协同. 软硬件现有的分工体系与技术架构会发生迁移,按照"结构适应应用",软硬件会动态编译演化,实现 系统追求目标函数的"最优逼近",随着软件定义硬件的成熟,各种创新体系结构会加速应用普及,系 统能效会大幅提升.将软件引入微电子的发展,可站立在功能密度的基础之上,在先进工艺微观层面 和先进集成介观层面增加一个系统应用宏观层面,实现微电子技术与信息系统应用的完美契合.因此, 从微电子视角,若能在先进工艺和先进集成的基础上,找到涵盖微观介观和宏观全维度,契合"功能密 度"更高乃至最高的软硬件协同系统级发展路线,就可以打破现有微电子的发展模式,兼顾各个方向 所长弥补各个方向的不足.

#### 2 从 SoC 到 SDSoW

随着信息技术的发展,人类将逐渐走入人、机、物的智能互联时代<sup>[24,25]</sup>,数据密集性<sup>[26,27]</sup>已成为新的应用特征.因此,作为支撑各种新应用的物理设备应当能够突破现有的发展困局,实现微电子发展范式的迁移.

#### 2.1 微电子发展的新范式: SDSoW

微电子主要以工艺制程为主线向前发展,从LSI (large-scale integration)发展到 VLSI (very large-scale integration),直到今天各种 ASIC (application specific integrated circuit)和 SoC,主要采用的是 IP (intellectual property)复用和软硬件协同的设计方法.随着制造成本的增加、IP 核心的日益复杂以及系统设计和验证的复杂性提升,流片的成本大幅上升.当前以 SoC 为代表的微电子发展遇到了综合瓶颈.

#### 2.1.1 概述

目前, 微电子技术和人类的生产生活结合得愈发紧密, 感知、传输、计算、存储、控制、交互等功能都可以在微电子上承载. 从宏观角度出发, 传统的微电子发展路径依赖于以下定律或架构.

香农 (Shannon) 定律<sup>[28]</sup>:香农定律定义了熵,推导出了信道容量与编码速率的表达式,引申出了 通信领域的 3 个极限:无损压缩极限、信道传输极限、有损压缩极限.

冯·诺依曼 (von Neumann) 架构<sup>[29]</sup>: 冯·诺依曼架构是一种将程序指令存储器和数据存储器合并在一起的存储器结构, 是当今计算机架构的绝对主流. 冯·诺依曼架构将计算机分解为运算器、控制器、存储器、输入设备、输出设备 5 个基本组成部分, 其基本原理是存储程序控制, 通过将程序编码存储在存储器中, 实现了可编程的计算以及硬件设计和程序设计的分离, 并将程序从硬件实现转换为软件实现.

摩尔定律<sup>[30]</sup>:摩尔定律并非传统意义上的自然科学定律,而更接近于微电子行业中的经验定律. 摩尔定律的本质是经济驱动力<sup>[31]</sup>,这种驱动力,一方面推动制造单位数量晶体管的成本下降,另一方面又推动单位面积上集成度的提高.

随着技术的发展,集成电路在性能、功耗和面积维度不断提升.然而,这3条微电子发展的指导 性规律的极限已经被逐步逼近,以成本效益高的方式生产集成电路管变得越来越困难<sup>[32]</sup>.当前晶体管 数目的增长曲线越来越慢,摩尔定律逐步趋向于终结.而随着人工智能、物联网、大数据等技术的飞 速发展,物联时代的数据规模正在指数级增长,摩尔定律的"失速"与计算需求的"飞速"剪刀差矛盾 越来越突出,传统的微电子发展范式已经难以继续跟上现实应用需求.

现有工作提出了若干后摩尔时代的解决方案,例如加速器方案<sup>[33]</sup>,构建和集成专门用于特定工作 负载的加速器能够在一定程度上缓解集成电路的困局,例如谷歌加速神经网络计算的 TPU<sup>[33]</sup> (tensor processing unit)、英伟达加速人工智能和深度学习应用的 Tesla P100<sup>[34]</sup>等.也有将未来发展路线分 为更多摩尔 (More Moore) 和超越摩尔 (More-than-Moore) 的研究 [35], 通过将新材料引入器件和应用 新晶体管来维持摩尔定律的途径称为更多摩尔,高能效铁电材料、蓝宝石多晶衬底材料、以碳纳米管 和石墨烯为代表的碳基半导体材料、锗基半导体材料等的发展给微电子发展提供了新的明灯,但是以 基础科学为根本的新材料或者新器件在集成电路微缩的技术路线上仍需较长的时间,且单纯追求晶 体管密度的基本特性仍然难以改善,短期内难以满足智能信息系统的发展需求,而超越摩尔指的是 系统不仅取决于数字信息处理的 CMOS 性能, 还取决于多样化的架构设计及先进封装等技术, 芯粒 集成技术是超越摩尔的典型代表,当前芯粒集成技术正处于蓬勃发展的阶段,以硅通孔 TSV (through silicon via)、硅转接板 Interposer、深沟槽电容 DTC (deep trench capacitor)、热压键合 TCB (thermo compression bonding)、混合键合 Hybirdbond 等为代表的芯粒集成技术, 以 CoWoS (chip-on-wafer-onsubstrate)、InFO (integrated fan-out)、EMIB (embedded multi-die interconnect bridge) 等为代表的芯 粒集成工艺,以及以英特尔 Xe-HPC GPU、英伟达 A100 GPU、AMD 的 EYPC Gen2 CPU、苹果的 M1 Ultra 等为代表的芯粒集成产品, 使得芯粒集成形成了从技术到工艺再到产品的全方面进步, 为集 成电路的发展提供了极大的助力,当前芯粒集成技术正在围绕两个大方向在进步,一是大芯片拆分小 芯片的 Chiplet 技术, 如常见的多芯粒集成的各类 GPU 产品: 二是以大芯片拼接更大芯片的芯片缝合 技术,如苹果公司的 M1 Ultral 以及 Tesla 的 Dojo 系统、Cerebras 的 WSE 系统,两种技术发展都取 得了较大的发展,但是两种技术发展都仍围绕着芯片的维度进行发展,试图在现有集成技术的体系内 延续摩尔定律,而非从系统层面考虑功能密度的提升,难以满足微电子对智能及能效的应用需求.综 上所述, 新应用场景对于微电子的发展提出了新要求, 需要将信息论升级为"知识论", 将冯, 诺依曼 架构升级为"神经拟态架构",将摩尔定律升级为"系统级摩尔定律",采用新的范式去发展新一代的微 电子产品.

#### 2.1.2 设计理论

目前, 微电子的设计与制造正面临着设计与制造分离的现状, 微电子产品性能与现实需求之间的 差距被越拉越大. 智能时代的技术与产业特征将发生重大变化, 原有的技术基础与产业分工也会随之 进行调整. 而现有的微电子系统按照不同需求场景, 大部分被定义为"功能部件", 即

- 通信需求: 通信/射频芯片等;
- 计算需求: 计算芯片、存储芯片等;
- •处理需求:计算芯片、加速芯片等;
- 网络需求: 网络芯片、交换芯片、接口芯片等.

现有的系统设计基于以上 COTS (commercial off-the-shelf) 芯片进行集成<sup>[36]</sup>, 这种解决方案的思路是, 系统整体性能的提升仅仅依赖于组成系统单元的性能提升, 因此会导致每种基础单元的工艺制程越来越极值, 芯片尺寸越来越大, 研发周期越来越长, 投入越来越大. 从微电子带动信息系统的发展现状来看, 集成电路只是手段, 系统才是目的<sup>[37]</sup>, 芯片仅是系统的一部分, 其性能高低无法最终决定系统的综合效能, 但数据规模的指数级增长对系统性能的要求越来越高, 若还是采用现有思路进行设计, 则会对 COTS 芯片造成极大的压力, 最终, 只有全球少数几家寡头公司才能实现新系统的开发和性能提升.

解决这种困境的另一种思路是,将芯片设计与开发看作一个大规模系统的联合协同设计和优化过程. 在这个过程中,不追求每个基础部件达到最优,而是通过系统整体体系结构的优化,实现最终效果的最优<sup>[38~40]</sup>. 这种方式站在系统角度,认为复杂性系统的整体功能不是由个体,而是由个体之间的复



图 2 应用级系统指标驱动的复杂系统方法论 Figure 2 Complex systems methodology driven by application-level system indicators

杂连接关系决定,因此从整体上研究和解决问题,重点放在系统整体相互作用、相互联系上,利用架构 提升去弥补基础部件的不足.借助这种思路,即使采用次先进的加工工艺和制造技术,也能够通过合 理构建系统,获得最先进的系统性能.文献 [41]指出,当微电子的集成能力达到极限时,并不意味着集 成电路或摩尔定律的终结.相反,性能的提升改进将来自缩放以外的领域.因此,新一代微电子设计的 核心思路应该是"网络极大化、节点极小化",试图在一个系统而非节点中集成实现全部功能,从而实 现整体大于各部分之和.在整体设计与结构优化下,芯片设计中需要紧密关注应用场景与架构、算法、 材料、工艺、器件和电路的联系.可将系统级功能、性能、效能与智能作为预期目标,站在系统整体的 角度同时对集成电路进行设计、加工、集成和应用,实现多维度协同最优化,如图 2 所示.

#### 2.1.3 工程实现思路

结合前文论述,联合协同设计优化与传统设计有着本质区别,因此其在工程实现上也需要有新的 实现思路.传统的设计方案是准静态的,强调每个基础功能单元的大规模集成和性能提升,单片芯片 越来越无法为新兴的计算密集型工作负载 (如机器学习)提供足够的性能.相较于传统方法,新微电子 发展范式在工程实现思路上有如下特征.

(1) 产品系统架构应当具有动态性<sup>[42~44]</sup>. 传统产品的体系架构是确定性的, 往往只能适应/适配 特定领域应用场景, 而新一代的微电子产品应当具有开放性和可编程性, 不仅能够实现面向领域的高 效能、高性能与高灵活, 还能通过学习实现自身结构的演化. 应用次数越多, 其体系架构越接近最优, 越能够实现"应用越多样芯片越智能".

(2) 产品构建单元应当具有异构性<sup>[9,39,45]</sup>. 在同一产品中, 传统方案往往只实现单一功能, 而新一 代的微电子产品应当打破现有芯片与系统的层次划分, 将传感、传输、处理、计算、存储等异构功能部 件以类 ASIC 的方式集成在同一芯片中, 从而实现高集成度的芯片系统, 功能上灵活度更高. 采用系 统级摩尔定律, 新一代的微电子发展范式最大化实现系统设计与应用的一体、软件与硬件的协同, 全 面释放硬件的性能与灵活性, 定义新的软硬件生态.

(3) 产品工艺制程应当具有多样性. 新型微电子产品在制造时不必全系统都采用同一种工艺制程,

而可以将不同工艺节点、不同材质的"芯粒"进行集成,从而兼顾微电子产品的制造成本和性能指标. 例如,可采用基于晶圆的热压键合 TCB (thermal compress bonding) 技术<sup>[46]</sup>进行集成,由于 TCB 的集成连线间距达到 10~1 μm,而现有 PCB 集成连线间距为 500 μm, TCB 的集成互连密度可提升 2500~250000 倍,不仅可完美弥补封装工艺相比制程工艺的严重落后,而且可以天然集成不同材质、不同器件、不同结构的芯粒,解放物理集成的开放性.

新一代的微电子产品不能够再采用传统的堆砌式工程技术路线,而需要体系结构的创新来实现 性能的突破.在这种思路指导下,本文提出了软件定义晶上系统 SDSoW (software defined system on wafer) 技术方案,该技术在软件定义互连<sup>[47]</sup> 的基础上,创新性解决现有微电子的设计方法、工作 范式和集成方式等方面的困难.如图 3 所示, SDSoW 在晶圆基板上集成电源管理、DFT (design for test)、I/O、模拟接口、PHY 和光纤接口等部件,在上层采用互连网络将领域专用芯片或商用的 COTS 芯片进行集成. SDSoW 通过颠覆当前系统堆砌工程技术路线、打破 SoC 边界条件束缚,采用领域专用 软硬件协同方法,从结构适应应用的思想和软件定义互连出发,将刚性结构升级为软件定义结构.首 先,不同于传统软硬件协同设计中针对某一特定应用使用相同工具进行开发和验证的特点,晶上系统 软硬件协同是面向领域的,从领域特征出发,提取基本运算单元,形成可重构计算阵列,使得基本计算 单元的功能符合领域特征;其次,不同于芯粒集成的底层物理形态中主要基于 CPU, GPU, FPGA 等 成熟器件之间的协同设计,晶圆级集成预制件资源更加丰富,可以是成熟的芯粒,也可以是自定义的领 域专用芯粒,晶上系统的互连带宽增加、互连时延缩短、软硬件协同探索空间更加复杂. SDSoW 具有 以下优势特点.

(1) 将刚性结构升级为软件定义结构, 使得微电子系统能够适应多种不同的应用场景, 实现信息处 理效率的最大化;

(2) 将软硬件分离提升为软硬件协同,实现感知、传输、计算、存储应用的软硬件协同处理;

(3) 将 IP 复用提升至芯粒复用,有效地解决了规模、开发成本和周期等问题,同时增加了系统的 灵活性;

(4) 将 2.5D/3D 封装升级至晶圆级集成, 极大降低了不同部件之间的通信半径, 降低了系统性能 的逐级插损;

(5) 将单一工艺拓展至多种工艺,并采用大规模晶圆级集成,可以同时集成多种工艺制程的节点, 同时采用硅基材料或多种异质材料.

SDSoW 实现了软件定义体系结构赋能集成电路设计和应用的全流程,融合芯粒组装和晶圆集成等创新思想,可颠覆现有微电子的设计方法、工作范式、集成方式等技术路线,形成以应用场景垂直整合、随阅历数据自我演化的新一代智能微电子设计、工艺和应用技术.

如图 4 所示为 SDSoW 的工程结构示意图, SDSoW 主要包括异构集成芯粒、晶圆集成基板、微组装连接器、供电和散热等几部分. SDSoW 首先根据工艺制备的物理约束和领域应用的逻辑约束,确定 晶上异构集成芯粒的布局和互连关系,采用硅基的前道工艺或后道多层再布线工艺按照逻辑互连关系 实现超高密度互连线的晶圆集成基板制造,然后将 KGD (known good die) 的异构集成芯粒通过 D2W 技术键合到晶圆集成基板上,受 D2W 底填和塑封料及晶圆减薄的影响,D2W 后的晶圆集成基板会有 严重的翘曲问题,因此需要通过特制的微组装连接器将由 TSV 引出的供电及系统 IO 与供电模组和 辅助功能单元连接.为实现 SDSoW 各个部件的可靠连接,晶上系统在晶圆集成基板、微组装转接板、供电散热等组件上需要设计组装机械孔,通过组装压力压平晶圆集成基板,依托微组装连接器的软连 接特性实现可靠组装.由于晶圆集成基板可采用有源和无源的实现方式,晶圆集成基板天然具备承载 不同应用特性的网络基础,结合异构集成芯粒中的互连接口,使得 SDSoW 具有极其灵活的互连特性,



图 3 (网络版彩图) 软件定义晶上系统示意图 Figure 3 (Color online) Schematic diagram of SDSoW



图 4 (网络版彩图) 软件定义晶上系统工程结构示意图 **Figure 4** (Color online) Engineering structure of SDSoW

基于软件定义互连技术可实现领域内不同应用的部署,真正实现软硬件协同.

#### 2.2 SDSoW 的内涵解析

如图 5 所示, SDSoW 是软件定义和晶上系统的技术组合, 具有多重内涵.

SDS, 即 Software Defined System, 软件定义系统, 也称 "系统之系统", 软件定义系统的软件系统. 基于固定的硬件结构, 通过软件定义实现面向领域的灵活性, 在系统层面代表着一条 "领域专用软硬件协同"的发展之路, 不仅能够基于软件的学习, 将复杂系统平衡到不同耗散结构的有序状态, 而且可



Figure 5 (Color online) Technical content of SDSoW

通过与外界的信息与能量交互实现软硬件协同式的自我演化,因此具备复杂性系统之共性基因,与智能底层机理相通.

SDW,即 Software Defined Wafer,软件定义晶圆,软件定义系统的硬件系统,可实现硬件资源的可 重构和灵活重组,将软件定义下沉到硬件资源的"物理层",通过"结构适应应用"获取最优的软硬件 协同,在系统设计中融入应用、算法、结构、电路、器件、工艺、材料等的联合迭代,实现"应用即设 计、设计即应用",可支持软件定义信息基础设施与软件定义装备,从而实现高性能、高效能、高灵活 三位一体.

SoW<sup>[48]</sup>,即System on Wafer,通过系统工程论之视角,将晶圆这一经济性、成熟性和高密性的工 艺平台拓展到系统集成层面,全面释放晶圆集成的高带宽、高能效和低延迟天然优势,找到了一条"低 损耗"的系统集成工程技术路线,从追求微缩工艺技术进步升级为追求系统级功能、性能与效能的目 标实现.

SDSoW 首次从系统的视角,站在"材料、器件、工艺、结构、算法、应用"的全流程,基于系统工程思想,用领域专用软硬件协同的体系结构和异构异质"类 ASIC"拼装集成的技术路线,将晶上系统的软件定义软件系统和软件定义硬件系统协同在一起,基于灵活的统一硬件资源和智能的软件系统,为微电子的可持续发展提供一条可行之路.

#### 2.3 SDSoW 的关键技术

#### 2.3.1 领域专用软硬件协同计算架构技术

按照图灵奖得主 David Patterson 的预测, 未来十年是"领域专用软硬件协同计算架构"的黄金十年<sup>[49]</sup>, 由于 SDSoW 系统具有极高的资源密度和设计复杂度, 架构设计的合理性决定 SDSoW 应用的灵活性和效率, 架构设计在 SDSoW 设计中可能超过 50% 的工作量.为实现领域内应用的弹性可塑性与智能涌现性, 需要面向金融、能源、交通、电力、电信等不同行业领域, 凝练梳理行业应用需求边

界,从系统层面深入研究体系架构,改变过去"计算、存储与通信"相分离的架构范式,引入分形、自 组织、突变、涌现等技术思想,提出不同行业领域"系统之系统"的体系结构. SDSoW 的架构设计空 间巨大,需要研究晶面向上系统的设计空间搜索、层次化设计与验证、架构量化评估体系等关键技术, 提高 SDSoW 灵活性和资源利用率,加快设计收敛.

#### 2.3.2 软件定义晶上互连网络技术

人脑智能的启迪是"记忆的本质是神经元连接关系的重组"<sup>[50]</sup>,复杂性系统的启迪是"连接关系 在系统中拥有更重要地位".在 SDSoW 中,一个高密度、强可塑的晶上互连网络对晶上系统的功能、 性能和效能同样至关重要,晶上互连网络不仅要实现远超现有连接网络的高密度、大规模,而且还要 实现高灵活和强可塑.软件定义互连<sup>[47]</sup>作为一种新型互连技术,可以实现互连协议、端口、速率、带 宽利用度、协议转换、交换模式等互连要素的灵活定义,可从芯粒接口和网络层面为晶上互连网络的 高效与灵活实现提供技术与架构支撑.面向应用需求多样性和集成工艺局限性,需要研究互连接口物 理与逻辑标准<sup>[51,52]</sup>、软件定义互连网络<sup>[53]</sup>、路由与拥塞控制机制<sup>[54]</sup>、容错性设计<sup>[55]</sup>、可测性设 计<sup>[56]</sup>与制造等一系列关键技术.

#### 2.3.3 领域专用混合粒度芯粒设计技术

芯粒是实现 SDSoW 系统功能的最小逻辑单元<sup>[57,58]</sup>,其种类、属性与拓扑在架构设计时根据领域应用的功能、性能和工作流程凝练抽取. SDSoW 能够通过重组多个芯粒来提高性能和功耗的优化 潜力,并支持特定领域的定制,减轻摩尔定律放缓对开发多样化芯片的影响.设计和制造面积相对较小的芯粒具有低成本和高良率的特点,可以有效降低总体成本,降低了新一代微电子系统的开发风险. 具体而言,领域专用混合粒度芯粒的开发主要会经历以下两个阶段.

阶段 1: 基于现有的 CPU, GPU, DSP (digital signal processor), AI (artificial intelligence), Memory 等芯片进行重组或增量开发,充分利用现有的芯片资源,对其进行适应于 SDSoW 系统的定向改造. 粗粒度的开发可以将不同的芯粒进行合并,而细粒度的开发可以精确修改单个芯粒的具体功能. 这一阶段可以最大化继承现有的技术与产业成果,按照功能等价去逼近系统架构设计中所需的理想芯粒.

阶段 2: 通过研究功能与流程分解、在线功能定义、事件触发协同等关键技术,实现全新的芯粒开 发与定制. 芯粒的定位会更加接近基础的功能单元,而芯粒之间通过可重构的智能互连网络进行连接. 这一阶段会将芯粒制造从设计独立出来,使得 SDSoW 系统架构走向成熟与产业化.

#### 2.3.4 面向异构异质芯粒的晶圆级键合与集成技术

不同于现有系统的 PCB 集成, SDSoW 采用基于 TCB<sup>[59,60]</sup>的拼装集成, 为实现这种"类 ASIC" 密度的集成拼装工艺, 需要在 3 个维度进行支持: 一是异构异质、不同尺寸芯粒的 TCB 封装, 改变原 有的芯粒到芯片封装方式, 各个芯粒只需按照晶圆互连接口的物理和逻辑标准引出相应的铜柱<sup>[61,62]</sup>; 二是在晶圆基板上按照晶圆互连接口的物理和逻辑标准加工系统确定的互连网络和芯粒压接的铜柱 底座; 三是按照 D2W 或者 W2W 工艺流程, 完成不同芯粒到晶圆基板的拼装集成. 需要研究晶圆基 板加工、芯粒加工、TCB 键合等关键技术.

#### 2.3.5 万安培级超高密度供电及散热技术

由于 SDSoW 的集成密度大大提升, 晶上系统的热密度和供电密度也大大提升, 不论是供电, 还是 散热, 都需要研制专用装置, 研究专用技术. 供电方面, 不同于 PCB 系统的水平供电, SDSoW 将采用 分区垂直供电的方式, 解决传输路径的压降问题, 同时还需要解决二次变压等问题; 散热方面, 将引入 晶圆工艺的微流道等新型散热技术, 解决大面积高密度的散热问题. 需要研究晶圆级供电网络和散热 模型<sup>[63]</sup>、电流承载能力<sup>[64]</sup>、大功率 DC/DC (direct current) 电路设计、超高热流密度散热<sup>[65,66]</sup>、热 流密度分析<sup>[67,68]</sup>等关键技术.

#### 2.3.6 面向领域专用的主动认知可重构编译技术

由于 SDSoW 是领域专用软硬件协同系统,其开发与编译工具将是全新的,不仅会引入领域专用 语言<sup>[69]</sup>,解决编程的高效性与灵活性,还要在开发与编译工具中体现软硬件协同<sup>[70]</sup>,将系统设计空间 的优化探索映射到晶上硬件资源上,通过在线编译硬件资源<sup>[71]</sup> 实现软硬件协同的"结构适应应用", 同时开发与编译工具也将发布到应用客户,基于晶上系统的应用本质上是领域专用系统需求的"在线 定义与开发".需要研究 DSL (domain-specific language) 编程技术、软硬件协同机制、任务资源映射机 制、资源调度与编译<sup>[72]</sup> 等关键技术.

#### 2.4 SDSoW 的技术优势

SDSoW 具备软件定义体系结构和晶圆级拼装集成的双重创新优势.晶圆级拼装集成相比现有 "堆砌式"工程技术路线在互连带宽、算力密度等指标上具有巨大的综合优势.台积电在 2020 年提 出了 InFO\_SoW (integrated fan-out of system-on-wafer)的技术路线<sup>[73]</sup>, Tesla 采用该技术路线推出了 晶圆级芯片产品 Dojo<sup>[74]</sup>. Tesla 在一片 12 英寸晶圆上部署了 25 片 D1 芯片,每块芯片可对外提供 4 TB/s 的数据带宽,而整个晶圆对外数据带宽可达 36 TB/s,这相比于 NVIDIA 最新的 GPU 芯片 H100 的片外数据带宽 900 GB/s 提升了 40 倍;而在算力密度层面,将 120 个晶圆级芯片组合起来所 形成的 Dojo Pod 算力达到了 67.8 PFlops @FP32,超过 2021 年上半年 HPC 全球超算 TOP500 排行 榜第 5 名 Perlmutter,但是 Dojo Pod 仅有 1 个机柜,而 Perlmutter 则有 4 个长机柜.在软件定义体系 结构方面,早在 2009 年当通用计算与专用计算尚处于高速发展期时,国内团队已经洞察到了未来智能 化时代的计算系统对性能、效能、灵活性以及可靠性等各方面的综合需求是通用计算与专用计算体系 架构远远无法满足的,率先开展了新概念高效能计算体系架构的研究,提出了拟态计算的概念,并于 2013 年成功研制出世界首台拟态计算机.在第三方权威测试中,基于破译解密、图像识别与 Web 服务 等三大类应用的 500 余种场景,与当年主流 IBM 服务器相比能效提升 16.8~315 倍<sup>[75]</sup>.

SDSoW 技术与 SiP (system in package)、Chiplet、晶圆级芯片等异构集成技术在技术路线、核心 工艺、关键指标、技术范式、适用场景上有本质的差异,如表 1 所示.在技术范式上,SDSoW 通过架构 和工艺联合创新,是一种系统级摩尔定律的"晶圆级硅基直连"拟态架构,追求系统级的功率密度和应 用决定结构的高灵活特性,而 Chiplet、晶圆级芯片甚至是带有"系统"字样的 SiP 仅通过工艺创新,是 一种追求核心芯片摩尔定律持续有效的"逐级堆砌式"传统冯·诺依曼架构;在技术路线上,SDSoW, SiP 和 Chiplet 在技术路线上均采用异构集成的技术路线,以 WSE 为代表的晶圆级芯片采用的仍是 同构集成的技术路线;在关键指标上,SDSoW 与晶圆级芯片的集成规模可扩展到晶圆级,远大于 SiP 和 Chiplet 的集成规模,SDSoW 与 Chiplet 均通过硅基转接板进行芯粒的互连,因此具有等价的集成 密度,线宽/线距最小可达 2 µm/2 µm,以 Dojo 为代表的晶圆级芯片线宽/线距可达 5 µm/5 µm,SiP 线宽/线距采用的是有机基板的互连,线宽/线距可达 15 µm/15 µm,SDSoW 上芯粒之间互连采用极小 驱动的并行互连,接口间距最小可达 10 µm,Chiplet 次之在 40~50 µm,晶圆级芯片和 SiP 均采用大驱 动的串行或并行接口,其间距最大在 150~180 µm;在核心工艺上,Chiplet 主要采用 TSV、DTC、硅转 接板、D2W 键合和芯片封装等工艺,晶圆级芯片采用重布线 RDL (Re-distributed layer)、晶圆级微组

Parameter	SDSoW	Chiplet	SiP	Wafer-level chip	
Paradigms	Wafer-level connection	Matryoshka	Matryoshka	Matryoshka	
	Mimic architecture	von Neumann architecture von Neumann architecture von Neumann architecture			
Road	Heterogeneous	Heterogeneous	Heterogeneous	Homogeneous	
	integration	integration	integration	integration	
Area $(mm^2)$	$\sim 50000$	$1716{\sim}3432$	$\sim 6400$	$\sim 50000$	
Width/space	2/2 [76]	2/2	15/15	5/5[73]	
$(\mu m/\mu m)$	-/-	-/-	10/10	0/0	
IO space $(\mu m)$	$\sim 10$	$40 \sim 50$	$150 \sim 180$	$150 \sim 180$	
Process	TSV, DTC, $D2W$	TSV, DTC	FCBGA	RDL	
	Micro-assembly	D2W, FCBGA	Wire Bond	Micro-assembly	
Structure	$\operatorname{SoW}$	CoWoS, SoIC	MCM, FcFBGA	InFO_SoW	
		3D-Foveros	eWLB-PoP		
Scenarios	Cloud computing	CPU GPU	BE CES	AI	
	Supercomputing	010,010			

#### 表 1 SDSoW 等异构集成技术对比

Table 1 Comparison of heterogeneous integration technologies

#### 表 2 SDSoW 的性能及能效提升

Table 2 Improvement of SDSoW's performance and energy efficiency

Parameter	SDSoW	Wafer-level domestic processer	Domestic processer	A100	MI100
Process (nm)	55	28	28	7	7
Area $(mm^2)$	50000	450	600	826	710
Power (W)	21645	292.5	350	400	300
Computility (TFlops)	439.56	3.96	3.168	9.7	11.5
Performance improvement	1	111	138.75	45.31	38.22
Energy efficient (GFlops/W)	20.31	13.53	4.5	24.25	38.3

装等工艺, SiP 采用传统的 FC-BGA 或 Wire Bond 工艺实现异构器件的集成, SDSoW 集合了 Chiplet 和晶圆级芯片的工艺, 采用带 TSV 和 DTC 的晶圆级硅基板制备、D2W 键合和晶圆级微组装等工艺; 在适用场景上, 由于 Chiplet 技术核心在于解决工艺微缩技术路线受限前提下如何拆分大芯片和拼接 小芯粒的问题, 因此, Chiplet 技术适用于通过小芯粒拼接大芯片 (如英伟达的 A100) 或通过大芯片拼 接大芯片 (如苹果的 M1 Ultral) 追求更大算力的 CPU, GPU 等应用, 晶圆级芯片采用同构芯粒集成 的方式, 芯粒间互连采用 2D-Mesh 互连, 适用于并行业务处理的 AI 等应用, SiP 主要目的是增加异构 器件的集成密度, 因此适用于射频通信、消费类电子等应用, SDSoW 由于不限制集成芯粒的形态, 且 具有系统级能效、能重、计算密度等的显著提升, 因此适用于云计算、超算、通算、智算等大型信息系 统基础设施等的应用.

为更好地说明 SDSoW 的优势,本文对高性能计算领域进行了指标测算,对比对象为国产处理器芯片、英伟达的 A100 及 AMD 的 MI100,主要如表 2 所示对算力、功耗、性能提升、系统能效提升进行对比,同时对如表 3 所示的基于 SDSoW 构建的单晶圆级国产处理器系统与 PCB 级的单机仓系统的算力、体积、重量、计算密度及系统能重比提升进行对比.其中晶圆级国产处理器是指参照文献 [61,73,76] 将国产处理器芯片的对外 SerDes, DDR 等接口替换为并行接口后的处理器芯片,晶圆级国产处理器系统即以晶圆级国产处理器构建的 SDSoW 系统.

Parameter	Single SDSoW	Single PCB-based cabinet				
Computility (TFlops)	439.56	3.168				
Volume $(mm^3)$	0.027	0.15				
Weight (kg)	20	20				
Computility density $(TFlops/mm^3)$	16280	21				
Computility weight ratio (TFlops/kg)	21.98	0.156				

表 3 SDSoW 的计算密度及能重提升

Table 3 Improvement of SDSoW's computility density and computility weight ratio

### 3 SDSoW 芯物种时代

SDSoW 兼具软件定义体系结构与晶圆拼装集成两项优势,通过连乘增益,可以获得不低于 3 个数量级的综合优势,不仅可解决现有微电与系统面临的体积、功耗、性能、效能等可持续困局,还可以为新器件、新结构、新工艺、新算法、新应用的创新发展提供软硬件协同平台,通过复杂性系统支持的量变到质变,带动微电子与系统从信息时代迈入智能时代,因此,相比于微电子技术体系的 SoC, SDSoW 更能代表智能时代的芯物种.

#### 3.1 刷新信息基础设施技术物理形态

SDSoW 通过架构创新和工艺创新提升算力,属于一种全新的发展范式,其支撑技术,如体系架构、 互连网络、集成工艺、供电散热等,相较于传统技术需要进一步的革新,甚至需要重新进行技术域定. 因此,SDSoW 技术将刷新现有信息基础设施(如数据中心、云计算、大数据、高性能计算、智能计算 中心、边缘计算、光网络等)的技术物理形态,革新芯粒、芯片、模组、机匣、机架、系统的工程技术路 线,形成以软件定义晶上系统为基本形态的新一代信息基础设施,贡献出一条"晶圆级硅基直连"的系 统集成工程技术路线,全方位提升体积、功耗、性能、功能、效能乃至智能等指标;同时针对无人机、 机器人等体积、功耗严重受限平台,可以显著提升单个平台的续航能力和综合处理性能,也可增强其 形成集群平台的协同能力,提升其智能化水平.

#### 3.2 重新定义微电子技术经济性指标

微电子的经济性指标是靠芯片提供的服务价值而非芯片销售规模来衡量,后续芯片的研发经济性 主要看其承载的服务需求规模,通过服务的收费来体现芯片的价值.SDSoW 可以有效提高芯片开发速 度,降低制造成本并实现灵活可重构的体系结构.因此,在核心算法和技术基础上所搭建出的智能服 务成为了核心业务,有效地促进了技术创新.SDSoW 的商业模式可能产生3种类型的业务角色,包括 模块化领域专用芯粒的供应商、形成完整系统的芯片集成商和上层应用服务提供商.小芯粒生态系统 的不断进化和改进将加速新产业的产生.

在未来,购买微电子产品所花费的开销仅有一小部分是设备成本,而其中绝大多数开销是服务费用.随着摩尔定律的经济性指标在 28 nm 之后就已经失效,而且物联网场景中应用的碎片化,传统的 靠芯片销售规模的经济性指标已难以维持.在 SDSoW 平台加持下,由于其先进的性能指标和较低的 制造成本,使用其去承载和运营智慧服务的效果将优于那些采用服务器、机房或数据中心的方案.因 此,这就有可能导致某些特殊的应用仅能在 SDSoW 平台运行,结合云化服务时代的到来,微电子技术 的经济性指标将发生重大转变,将开销成本的绝大多数转移至服务上,而不是硬件成本上.

#### 3.3 赋能面向领域的软硬件协同计算

系统体系架构创新中,体系架构的增益与资源的规模和资源的种类成正比,资源规模越大,资源 越异构多样,体系架构能获得的增益越大;同时系统的性能与效能与资源半径的平方成反比,资源半径 越小,系统的效能与性能越高.在 SDSoW 中,不仅可集成规模足够庞大的资源,而且资源的种类几乎 不受限制,同时资源以"类 ASIC 内"的密度实现超高密度集成,为面向领域的软硬件协同计算架构的 效能释放提供了天然的平台.

#### 3.4 赋能知识与算法驱动的智能时代

现有以深度学习为代表的人工智能, 代表着人类对智能的研究和应用水平进入"大数据、大算力 和强算法"发展阶段, 其本质原因是数据和信息的高度知识稀疏, 不得不采用"超高算力、海量存储、 超宽连接"去逼近人类的"认知计算". SDSoW 系统不同于当前"刚性架构器件 + 基于 PCB 的算力 堆砌"计算系统构建方式, 创新采用"软件定义体系架构 + 晶上拼装集成"的新型计算系统构成方式, 不仅能够为当前人工智能的发展提供强有力支撑, 更重要的是未来结合知识表达、知识传输、知识加 工等技术的突破, SDSoW 以其高度灵活的软件定义互连网络结构可提供"类神经网络"晶圆底座, 能 够为"低算力、小数据、自演化"特征的人工智能发展提供一种新的智算平台, 带动人类的人工智能 从"算力和数据驱动"跃迁到"知识和算法驱动", 赋能智能全面服务于各行各业, 开启新的智能时代.

#### 参考文献 -

- 1 Wiener N. Return of cybernetics. Nature Machine Intell, 2019, 1: 385
- 2 SRC, SIA. Semiconductor Industry Announces Research and Funding Priorities to Sustain U.S. Leadership in Chip Technology. 2020. https://www.semiconductors.org/semiconductor-industry-announces-research-and-fundingpriorities-to-sustain-u-s-leadership-in-chip-technology/
- 3 Zhirnov V. Decadal plan for semiconductors: new compute trajectories for energy-efficient computing: key messages.
  In: Proceedings of the IEEE International Conference on Rebooting Computing, Albuquerque, 2020
- 4 Yates L A, Richards S A, Brook B W. Parsimonious model selection using information theory: a modified selection rule. Ecology, 2021, 102: e03475
- 5 Davies P C W. Cosmological dissipative structure. Int J Theor Phys, 1989, 28: 1051–1066
- 6 Weidlich W. Physics and social science—the approach of synergetics. Phys Rep, 1991, 204: 1–163
- 7 van der Maas H L, Molenaar P C. Stagewise cognitive development: an application of catastrophe theory. Psychol Rev, 1992, 99: 395–417
- 8 Vaisband B, Iyer S S. Communication considerations for silicon interconnect fabric. In: Proceedings of ACM/IEEE International Workshop on System Level Interconnect Prediction (SLIP), 2019. 1–6
- 9 Iyer S S. Heterogeneous integration for performance and scaling. IEEE Trans Compon Packag Manufact Technol, 2016, 6: 973–982
- 10 Pal S, Petrisko D, Tomei M, et al. Architecting waferscale processors-a GPU case study. In: Proceedings of IEEE International Symposium on High Performance Computer Architecture (HPCA), 2019. 250–263
- 11 Rupp K, Selberherr S. The economic limit to Moore's law. IEEE Trans Semicond Manufact, 2010, 24: 1-4
- 12 Li S. SiP System-in-Package Design and Simulation: Mentor EE Flow Advanced Design Guide. Hoboken: John Wiley & Sons, 2017
- 13 Knickerbocker J U, Andry P S, Dang B, et al. Three-dimensional silicon integration. IBM J Res Dev, 2008, 52: 553–569
- 14 Iyer S S, Kirihata T. Three-dimensional integration: a tutorial for designers. IEEE Solid-State Circuits Mag, 2015, 7: 63–74
- 15 Ingerly D B, Amin S, Aryasomayajula L, et al. Foveros: 3D integration and the use of face-to-face chip stacking for logic devices. In: Proceedings of IEEE International Electron Devices Meeting (IEDM), 2019

- 16 Chen Y H, Yang C A, Kuo C C, et al. Ultra high density SoIC with sub-micron bond pitch. In: Proceedings of IEEE 70th Electronic Components and Technology Conference (ECTC), 2020. 576–581
- 17 Chen W C, Hu C, Ting K C, et al. Wafer level integration of an advanced logic-memory system through 2nd generation CoWoS technology. In: Proceedings of Symposium on VLSI Technology, 2017. 54–55
- 18 Mahajan R, Sankman R, Patel N, et al. Embedded multi-die interconnect bridge (EMIB)—a high density, high bandwidth packaging interconnect. In: Proceedings of IEEE 66th Electronic Components and Technology Conference (ECTC), 2016. 557–565
- 19 Tseng C F, Liu C S, Wu C H, et al. InFO (wafer level integrated fan-out) technology. In: Proceedings of IEEE 66th Electronic Components and Technology Conference (ECTC), 2016. 1–6
- 20 Singh S P, Akram M W. Design and performance evaluation of sub-10 nm Gaussian doped junctionless SOI and SELBOX FinFET. Silicon, 2021, 13: 2125–2133
- 21 Sreenivasulu V B, Narendar V. Design and temperature assessment of junctionless nanosheet FET for nanoscale applications. Silicon, 2022, 14: 3823–3834
- 22 Kumar B, Chaujar R. TCAD temperature analysis of gate stack gate all around (GS-GAA) FinFET for improved RF and wireless performance. Silicon, 2021, 13: 3741–3753
- 23 Wong H S P, Akarvardar K, Antoniadis D, et al. A density metric for semiconductor technology. Proc IEEE, 2020, 108: 478–482
- 24 Chen S, Xu H, Liu D, et al. A vision of IoT: applications, challenges, and opportunities with China perspective. IEEE Internet Things J, 2014, 1: 349–359
- 25 Madakam S, Ramaswamy R, Tripathi S. Internet of Things (IoT): a literature review. J Comput Commun, 2015, 3: 164–173
- 26 Chen C L P, Zhang C Y. Data-intensive applications, challenges, techniques and technologies: a survey on big data. Inf Sci, 2014, 275: 314–347
- 27 Gorton I, Greenfield P, Szalay A, et al. Data-intensive computing in the 21st Century. Computer, 2008, 41: 30–32
- 28 Verdu S. Fifty years of Shannon theory. IEEE Trans Inform Theor, 1998, 44: 2057–2078
- 29 Eigenmann R, Lilja D J. Von Neumann computers. Wiley Encyclopedia of Electrical and Electronics Engineering, 1998, 23: 387–400
- 30 Moore G E. Cramming more components onto integrated circuits. Proc IEEE, 1998, 86: 82-85
- 31 Mack C A. Fifty years of Moore's law. IEEE Trans Semicond Manufact, 2011, 24: 202–207
- 32  $\,$  Eeckhout L. Is Moore's law slowing down? What's next? IEEE Micro, 2017, 37: 4–5  $\,$
- 33 Jouppi N, Young C, Patil N, et al. Motivation for and evaluation of the first tensor processing unit. IEEE Micro, 2018, 38: 10–19
- 34 Cui X, Scogland T R W, Supinski B R, et al. Performance evaluation of the NVIDIA Tesla P100: our directive-based partitioning and pipelining vs. NVIDIA's unified memory. In: Proceedings of the 17th Supercomputing Conference, 2017. 50
- 35 Pelka J, Baldi L. More-than-Moore technologies and applications. In: Nanoelectronics: Materials, Devices, Applications. Hoboken: John Wiley & Sons, Inc., 2017. 53–72
- 36 Becker M, Nikolic B, Dasari D, et al. Partitioning and analysis of the network-on-chip on a COTS many-core platform. In: Proceedings of IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS), 2017. 101–112
- 37 Wu L S, Mao J F. From integrated circuits to integrated systems. Sci Sin Inform, 2023, 53: 1843–1857 [吴林晟, 毛 军发. 从集成电路到集成系统. 中国科学: 信息科学, 2023, 53: 1843–1857]
- 38 Nielsen C B, Larsen P G, Fitzgerald J, et al. Systems of systems engineering: basic concepts, model-based techniques, and research directions. ACM Comput Surv, 2015, 48: 1–41
- 39 Li T, Hou J, Yan J, et al. Chiplet heterogeneous integration technology—status and challenges. Electronics, 2020, 9: 670
- 40 Shan G, Zheng Y, Xing C, et al. Architecture of computing system based on chiplet. Micromachines, 2022, 13: 205
- 41 Thompson S E, Parthasarathy S. Moore's law: the future of Si microelectronics. Mater Today, 2006, 9: 20–25
- 42 Dafali R, Diguet J P, Sevaux M. Key research issues for reconfigurable network-on-chip. In: Proceedings of International Conference on Reconfigurable Computing and FPGAs, 2008. 181–186
- 43 Stuart M B, Stensgaard M B, Spars J. The ReNoC reconfigurable network-on-chip: architecture, configuration

algorithms, and evaluation. ACM Trans Embed Comput Syst, 2011, 10: 1–26

- 44 Liu L, Zhu J, Li Z, et al. A survey of coarse-grained reconfigurable architecture and design: taxonomy, challenges, and applications. ACM Comput Surv, 2019, 52: 1–39
- 45 Moutanabbir O, Gösele U. Heterogeneous integration of compound semiconductors. Annu Rev Mater Res, 2010, 40: 469–500
- 46 Lee S. Fundamentals of thermal compression bonding technology and process materials for 2.5/3D packages. In: Proceedings of 3D Microelectronic Packaging: From Fundamentals to Applications. Cham: Springer, 2017. 157–203
- 47 Lv P, Liu Q R, Wu J X, et al. New generation software-defined architecture. Sci Sin Inform, 2018, 48: 315–328 [吕 平, 刘勤让, 邬江兴, 等. 新一代软件定义体系结构. 中国科学: 信息科学, 2018, 48: 315–328]
- Bajwa A A, Jangam S C, Pal S, et al. Demonstration of a heterogeneously integrated system-on-wafer (SoW) assembly.
  In: Proceedings of IEEE 68th Electronic Components and Technology Conference (ECTC), 2018. 1926–1930
- 49 Hennessy J L, Patterson D A. A new golden age for computer architecture. Commun ACM, 2019, 62: 48-60
- 50 Kandel E R. In Search of Memory: The Emergence of a New Science of Mind. New York: W.W. Norton & Company, 2007
- 51 Kehlet D. Accelerating innovation through a standard chiplet interface: The advanced interface bus (AIB). Intel White Paper, 2017. https://www.intel.com/content/dam/www/public/us/en/documents/white-papers/accelerating-innovation-through-aib-whitepaper.pdf
- 52 Farjadrad R, Kuemerle M, Vinnakota B. A bunch-of-wires (BoW) interface for interchiplet communication. IEEE Micro, 2019, 40: 15–24
- 53 Sandoval-Arechiga R, Vazquez-Avila J L, Parra-Michel R, et al. Shifting the network-on-chip paradigm towards a software defined network architecture. In: Proceedings of International Conference on Computational Science and Computational Intelligence (CSCI), 2015. 869–870
- 54 Chittamuru S V R, Thakkar I G, Pasricha S. LIBRA: thermal and process variation aware reliability management in photonic networks-on-chip. IEEE Trans Multi-Scale Comp Syst, 2018, 4: 758–772
- 55 Bhanu P V, Soumya J. Fault-tolerant application mapping on mesh-of-tree based network-on-chip. J Syst Archit, 2021, 116: 102026
- 56 Meixner A, Gullo L J. Design for Test and Testability. Hoboken: John Wiley & Sons, Ltd., 2021
- 57 Green D S. Common Heterogeneous Integration and Intellectual Property (IP) Reuse Strategies (CHIPS). CHIPS Proposers Day, 2021. https://www.darpa.mil/attachments/CHIPSoverview20Sept212016ProposerDay.pdf
- 58 Kim J, Murali G, Park H, et al. Architecture, chip, and package codesign flow for interposer-based 2.5-D chiplet integration enabling heterogeneous IP reuse. IEEE Trans VLSI Syst, 2020, 28: 2424–2437
- 59 Bajwa A A, Jangam S C, Pal S, et al. Heterogeneous integration at fine pitch (≤10 µm) using thermal compression bonding. In: Proceedings of IEEE 67th electronic components and technology conference (ECTC), 2017. 1276–1284
- 60 Jangam S C, Bajwa A A, Mogera U, et al. Fine-pitch (≤10 µm) direct Cu-Cu interconnects using in-situ formic acid vapor treatment. In: Proceedings of IEEE 69th Electronic Components and Technology Conference (ECTC), 2019. 620–627
- 61 Pal S, Alam I, Sahoo K, et al. I/O architecture, substrate design, and bonding process for a heterogeneous dielet-assembly based waferscale processor. In: Proceedings of IEEE 71st Electronic Components and Technology Conference (ECTC), 2021. 298–303
- 62 Jangam S C, Iyer S S. Silicon-interconnect fabric for fine-pitch (≤10 µm) heterogeneous integration. IEEE Trans Compon Packag Manufact Technol, 2021, 11: 727–738
- 63 Ambhore P, Mogera U, Vaisband B, et al. Powertherm attach process for power delivery and heat extraction in the silicon-interconnect fabric using thermocompression bonding. In: Proceedings of IEEE 69th Electronic Components and Technology Conference (ECTC), 2019. 1605–1610
- 64 Wang L, Cao L. Microfluidic heat dissipation module and its preparation method for chip level integration. CN111244050A, China, 2020
- 65 van Erp R, Kampitsis G, Matioli E. Efficient microchannel cooling of multiple power devices with compact flow distribution for high power-density converters. IEEE Trans Power Electron, 2019, 35: 7235–7245
- 66 van Erp R, Kampitsis G, Matioli E. A manifold microchannel heat sink for ultra-high power density liquid-cooled converters. In: Proceedings of IEEE Applied Power Electronics Conference and Exposition (APEC), 2019. 1383–1389

- 67 Shah U, Mogera U, Ambhore P, et al. Dynamic thermal management of silicon interconnect fabric using flash cooling. In: Proceedings of the 18th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2019. 1228–1233
- 68 Wang H. Wafer packaging with heat dissipation structure. CN106449561A, China, 2017
- 69 Bachrach J, Vo H, Richards B, et al. Chisel: constructing hardware in a Scala embedded language. In: Proceedings of the 49th Annual Design Automation Conference, 2012. 1216–1225
- 70 Roy D B, Fritzmann T, Sigl G. Efficient hardware/software co-design for post-quantum crypto algorithm SIKE on ARM and RISC-V based microcontrollers. In: Proceedings of the 39th International Conference on Computer-Aided Design, 2020. 1–9
- 71 Moreau T, Chen T, Vega L, et al. A hardware-software blueprint for flexible deep learning specialization. IEEE Micro, 2019, 39: 8–16
- 72 Aldegheri S, Bombieri N, Fummi F, et al. Late breaking results: enabling containerized computing and orchestration of ROS-based robotic SW applications on cloud-server-edge architectures. In: Proceedings of the 57th ACM/IEEE Design Automation Conference (DAC), 2020. 1–2
- 73 Chun S R, Kuo T H, Tsai H Y, et al. InFO\_SoW (system-on-wafer) for high performance computing. In: Proceedings of IEEE 70th Electronic Components and Technology Conference (ECTC), 2020. 1–6
- 74 Talpes E, Williams D, Sarma D D. DOJO: the microarchitecture of Tesla's exa-scale computer. In: Proceedings of IEEE Hot Chips Symposium (HCS), 2022. 1–28
- 75 Zhang F. A perception-based reconfigurable architecture for web service. Dissertation for Ph.D. Degree. Zhengzhou: Information Engineering University, 2013 [张帆. 认知可重构的高效能 Web 服务体系结构研究. 博士学位论文. 郑 州: 解放军信息工程大学, 2013]
- Jangam S, Pal S, Bajwa A, et al. Latency, bandwidth and power benefits of the SuperCHIPS integration scheme.
  In: Proceedings of IEEE 67th Electronic Components and Technology Conference (ECTC), 2017. 86–94

# From SoC to SDSoW: a new paradigm for microelectronics development

Jiangxing WU<sup>1</sup>, Qinrang LIU<sup>1</sup>, Jianliang SHEN<sup>1</sup>, Ping LV<sup>1</sup>, Ke SONG<sup>1</sup>, Fan ZHANG<sup>1</sup>, Peijie LI<sup>1\*</sup>, Ting CHEN<sup>1</sup>, Dongpei LIU<sup>1</sup>, Ruyun ZHANG<sup>2</sup>, Shunbin LI<sup>2</sup>, Yanzhao GAO<sup>1</sup>, Shuai WEI<sup>1</sup>, Wenjian ZHANG<sup>1</sup>, Bo ZHAO<sup>1</sup>, Wei GUO<sup>1</sup>, Yanbin HU<sup>1</sup>, Xiaofeng QI<sup>1</sup>, Chunlei DONG<sup>1</sup>, Hong YU<sup>1</sup>, Li ZHANG<sup>1</sup>, Xia ZHANG<sup>1</sup>, Xue PEI<sup>1</sup>, Haobing ZHAO<sup>1</sup>, Zhichao LI<sup>1</sup> & Wenbin LIU<sup>1</sup>

- 1. Institute of Information Technology, Information Engineering University, Zhengzhou 450002, China;
- 2. Zhejiang Lab, Hangzhou 311121, China
- \* Corresponding author. E-mail: lipeijie@csivo.com

**Abstract** Microelectronics is ushering in a new round of significant technological and industrial changes in the intelligence era. This article starts the discussion from three dimensions: scientific methodologies, the engineering road of system integration, and Moore's law of microelectronics. A new development paradigm for the software-defined system-on-wafer (SDSoW) was formed by integrating heterogeneous dielet on a wafer system, developing a hardware-software codesign mechanism for a domain-specific system and being a complex giant system with network maximization and node minimization. The upgraded connotation among chip design, system integration, application development, and economic evaluation of microelectronics will completely refresh the technical and physical form of information infrastructure and contribute a "Silicon-based Wafer-level connection" system integration engineering route, which is expected to create a physical base for intelligent emergence.

**Keywords** system on chip (SoC), software defined interconnection (SDI), SDSoW, heterogeneous architecture, thermal compress bonding (TCB), hardware and software coordination