



忆阻器混合逻辑电路设计及其应用

代广珍^{1,2}, 赵振宇^{1,2}, 宋兴文^{1,2}, 韩名君^{1,2}, 倪天明^{1,2*}

1. 高端装备先进感知与智能控制教育部重点实验室, 芜湖 241000

2. 安徽工程大学电气工程学院, 芜湖 241000

* 通信作者. E-mail: timmyni@ahpu.edu.cn

收稿日期: 2022-05-02; 修回日期: 2022-07-03; 接受日期: 2022-08-03; 网络出版日期: 2023-01-06

国家自然科学基金(批准号: 62174001)、安徽省自然科学基金杰出青年项目(批准号: 2208085J02)、安徽省重点研发计划项目(批准号: 202104b11020032)、安徽省高校优秀科研创新团队(批准号: 2022AH010059)和安徽工程大学中青年拔尖人才计划资助项目

摘要 为解决传统集成电路面积大、功耗高等问题,采用纳米级忆阻器设计实现了数字逻辑电路中的加法器和乘法器. 基于忆阻器 MRL 结构设计的 OR 门和 AND 门,设计了 2T-4M 结构的 XOR 和 XNOR 逻辑门. 运用这些逻辑门与 CMOS 管混合实现了全加器,其中 CMOS 反相器增强了信号驱动. 改进 2T-4M 结构实现了一种新型 2T-4M 逻辑模块,并基于此模块设计了 2 位二进制乘法器. LTspice 仿真验证了电路设计的正确性. 与已报道的 MRL 结构全加器和 2 位二进制乘法器进行比较发现全加器使用的元器件数量明显减少,延迟时间最少提高了 53.3%,功耗最小降低了 1.93 mW; 2 位二进制乘法器的设计在元器件总体使用数量上也有一定的优势,总共只需要 18 个元器件. 最后,利用全加器构成加密阵列电路,对图像进行了加解密操作,验证了电路在实际应用中的可行性.

关键词 忆阻器, CMOS, 全加器, 乘法器, 图像加密

1 引言

1971 年, Chua^[1] 基于对称性和理论推导,提出了一种无源二端电路元件,称之为忆阻器,是继电阻、电容、电感后的第 4 种基本电路元件,其电阻的状态是根据两端电压和流经的电流的不同而变化的,可以表示为磁通(φ)和电荷(q)的关系式. 在 I - V 平面上,忆阻器会呈现出独特的零交叉的磁滞回环,而这种磁滞回环是其他 3 种基本电路元件不能复刻的,表现出其固有的记忆特性^[1,2]. 忆阻器除了有电阻、电容和电感不同的非线性特征外,还有密度高、速度快、非易失性等特点. 2008 年 HP 实验室首次制作出了忆阻器,在此之前它只是一个理论上的概念,并没有真正的物理器件应用到实际的研究之中^[3]. 物理的忆阻器件的出现让研究人员和科学家们对其研究的热情大大提高,并在许多领域对其特性和潜在应用进行了探索和研究,如模拟和数字电路^[4~8]、神经网络^[9]、存储和逻辑电阻开关器件^[10]、混沌电路^[11]和自适应滤波器^[12]等.

引用格式: 代广珍, 赵振宇, 宋兴文, 等. 忆阻器混合逻辑电路设计及其应用. 中国科学: 信息科学, 2023, 53: 178–190, doi: 10.1360/SSI-2022-0162

Dai G Z, Zhao Z Y, Song X W, et al. Design and application of memristor hybrid logic circuit (in Chinese). Sci Sin Inform, 2023, 53: 178–190, doi: 10.1360/SSI-2022-0162

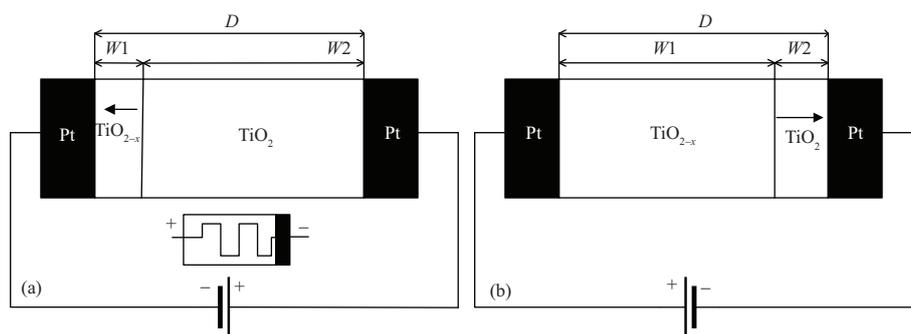


图 1 忆阻器. (a) 高阻态和 (b) 低阻态

Figure 1 Memristor. (a) High resistance states and (b) low resistance states

随着芯片面积在不断缩小,性能不断提高,这就要求在更小的芯片上集成更多的晶体管.为了制造出性能更好的芯片就必须有更加先进的物理材料、更低的能源消耗和更加经济的晶体管^[13].为了延续摩尔定律,需要找到一种更小的元器件去替代传统的晶体管,而忆阻器的出现为解决这个问题提供了一个全新的方案.基于忆阻器的逻辑电路设计可分为忆阻器辅助逻辑电路(MAGIC)^[14]、忆阻器实质蕴涵逻辑(IMPLY)^[15]和忆阻器比例逻辑(MRL).MAGIC和IMPLY可以利用忆阻器构成阵列结构,通过输入不同的编程信号实现不同的逻辑操作^[16,17].MRL是利用忆阻器和CMOS管混合组成的逻辑电路^[5,18,19],虽然在设计电路面积方面不如MAGIC和IMPLY,但与IMPLY相比可以减少输入时的操作步骤,可有效解决MAGIC多个扇出问题.MRL的设计利用了忆阻器与CMOS工艺相兼容的特性,与传统的逻辑电路相比,明显降低了芯片面积,提高了运算速度,减少了功耗.

加法器、乘法器是现代微处理器中的核心部件^[20],因此提高加法器和乘法器的速度、功率和设计面积等性能十分重要.目前基于忆阻器的全加器的研究比较多,除了用忆阻器和CMOS混合逻辑设计外,用1T-5M^[19]和2T-4M^[21]多功能模块设计全加器电路也比较常见.与忆阻器相比,CMOS管在面积上没有优势,但驱动能力明显要好,因此常用于外围驱动电路的设计^[22].本文利用输入信号开启上拉PMOS管或下拉NMOS管,设计了2T-4M结构的XOR和XNOR逻辑电路,该设计增强了信号驱动.基于这种2T-4M结构,改进设计实现了一种新型2T-4M逻辑模块.最后,利用前面设计的电路,实现了全加器和2位二进制乘法器电路设计,仿真结果显示电路的正确性和性能的改善.该设计基于2T-4M模块结构,利用了忆阻器体积小、速度快和CMOS管驱动能力强的多方面优点,避免了器件的过多使用.

2 忆阻器逻辑门电路设计

HP忆阻器是由宽度为纳米级的二氧化钛(TiO_2)和两个铂(Pt)电极构成的,如图1所示.对 TiO_2 进行部分掺杂,形成含有氧空位的宽度为 W_1 的掺杂区,其中由于缺少氧离子,具有良好的导电性.非掺杂区的宽度为 W_2 ,导电性较弱.文献[23]对HP忆阻器建立了一种 $I-V$ 曲线更好,滞回环更加清晰,并且具有阈值功能的SPICE模型.

忆阻器两端分别加反向偏置和正向偏置,如图1(a)和(b)所示,其阻值就分别呈现高阻态(R_{off})和低阻态(R_{on}).这是因为非掺杂区接入电源正极,驱使正电荷左移, TiO_2 部分向正电极移动压缩掺杂区造成 W_1 减小 W_2 增大,阻值增大;而加正偏电压时,造成带有正电荷的掺杂区向右移动,压缩 TiO_2 区域,引起 W_1 增大 W_2 减小,阻值减小.图1(a)中的插图为忆阻器的电路符号,标明了正负

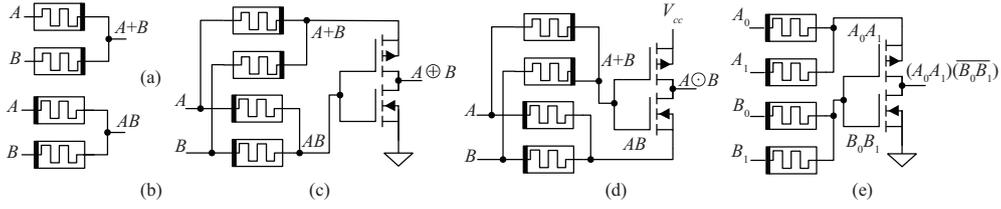


图 2 忆阻器逻辑门电路. (a) 或门; (b) 与门; (c) XOR 门; (d) XNOR 门; (e) 新型 2T-4M 模块

Figure 2 Memristor logic gate circuit. (a) OR gate; (b) AND gate; (c) XOR gate; (d) XNOR gate; (e) new 2T-4M module

极, 掺杂区对应电路符号的正极, 非掺杂区对应其负极. 忆阻器应用于逻辑电路设计得到了广泛的研究, 文献 [24] 采用 1T1R 结构设计实现了功能完备的布尔逻辑. 将两个忆阻器串联, 若负极连在一起, 正极作为输入端, 则实现逻辑或; 若正极连在一起, 负极作为输入端, 则可实现逻辑与 [18]. 两种逻辑电路如图 2(a) 和 (b) 所示, 输出分别为

$$V_{\text{out1}} = \frac{R_{\text{off}}}{R_{\text{on}} + R_{\text{off}}} V_{\text{high}}, \quad (1)$$

$$V_{\text{out2}} = \frac{R_{\text{on}}}{R_{\text{on}} + R_{\text{off}}} V_{\text{high}}. \quad (2)$$

将这种忆阻器 MRL 结构构成的门电路应用到不同的逻辑电路中, 文献 [21] 分别使用了忆阻器与门和或门与 CMOS 混合结构组成的 4T-4M 设计了可同时实现 AND, OR, XOR 和 XNOR 多种逻辑功能的电路. 单独的 XOR 和 XNOR 逻辑都只需要采用 2T-4M, 如图 2(c) 和 (d) 所示. 基于这种 2T-4M 模型, 本文改进得到了一种新型 2T-4M 逻辑电路, 可用于设计乘法器, 如图 2(e) 所示. 新型 2T-4M 逻辑电路中的忆阻器门电路避免了原电路中对两个不同的输入信号进行处理的特定与门和或门, 而可以根据后续电路设计需要选择不同的两个忆阻器门电路对最多 4 个输入信号进行处理. 图 2(e) 中的 A_0 , A_1 , B_0 , B_1 四个输入信号, 经过两个忆阻器与门得到信号 A_0A_1 和 B_0B_1 , 其中 B_0B_1 作为控制信号与两个 CMOS 管的栅极相连, A_0A_1 与 PMOS 管的源极连接, 当 B_0B_1 信号为高电平时, 栅极输入为高电平, NMOS 管导通, 反相器输出为低电平, 当 B_0B_1 信号为低电平时上拉管 PMOS 导通, 实现了输出信号为 $A_0A_1(\overline{B_0B_1})$ 操作, 其逻辑功能如表 1 所示.

在 LTspice 中对新型 2T-4M 模块电路进行了仿真验证, 结果如图 3 所示. 从仿真波形图中可以得到只有当输入信号 A_0 , A_1 同时为高电平并且 B_0 , B_1 不同时为高电平时, 输出信号为高电平, 其余都输出低电平. 这与新型 2T-4M 模块逻辑真值表一致, 验证了电路的正确性.

3 全加器设计

全加器是将两个 1 位二进制数 (A , B) 和 1 位进位输入 (CI) 相加, 输出 1 位二进制数和 (S), 并产生 1 位进位输出 (CO). 根据二进制的运算规则, 可列出 1 位全加器的真值表, 如表 2 所示.

根据真值表可列出全加器的逻辑关系, 即 A , B , CI , S 和 CO 的逻辑关系表达式, 如式 (3) 和 (4) 所示:

$$S = ABCI + \bar{A}\bar{B}CI + \bar{A}B\bar{C}\bar{I} + A\bar{B}\bar{C}\bar{I} = (A \odot B)CI + (A \oplus B)\bar{C}\bar{I}, \quad (3)$$

$$CO = AB + (A + B)CI. \quad (4)$$

表 1 新型 2T-4M 模块逻辑真值表

Table 1 Logic truth table of new 2T-4M module

A_0	A_1	B_0	B_1	OUT
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

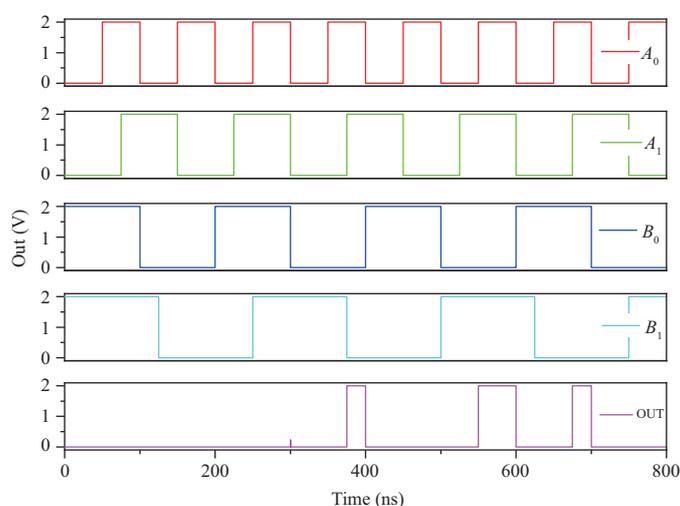


图 3 (网络版彩图) 新型 2T-4M 模块电路仿真结果

Figure 3 (Color online) Simulation results of new 2T-4M module circuit

采用 2T-4M 模块对全加器进行设计, 与已有设计区别在于 XNOR 信号由通过 2T-4M 模块产生的 XOR 信号经过非门得到 (或者相反)^[21]. 这样的设计可以提高信号的驱动能力, 减小信号衰弱对输出信号造成的影响, 如图 4 所示. 输入信号 A, B 通过 2T-4M 模块 XOR 电路产生 $A \oplus B$ 信号, 再经过非门得到 XNOR 信号 $A \odot B$. 后面使用上拉 PMOS 和下拉 NMOS 对管的源端分别接入 $A \odot B, A \oplus B$ 信号, 由进位输入 CI 控制对管的栅极. 当 CI 为高电平时 NMOS 管导通, 输出信号 $A \oplus B$; 当 CI 为

表 2 全加器真值表
Table 2 Full adder truth table

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

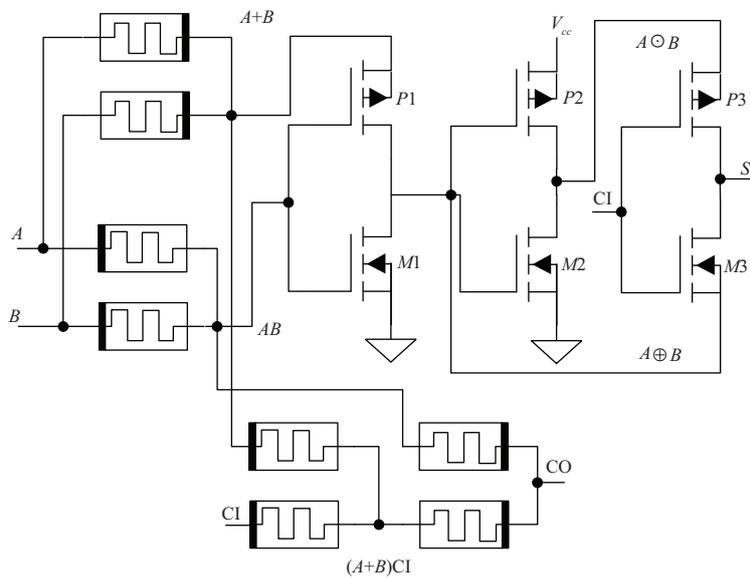


图 4 全加器电路

Figure 4 Full adder circuit

低电平时 PMOS 管导通, 输出信号 $A \odot B$, 从而生成输出信号 S . 输出进位信号 CO 通过忆阻器与门和或门产生. 进位传递信号 $A + B$ 经与门与输入进位信号 CI 相与, 再经或门与进位生成信号 AB 相或便可产生输出进位 CO . 将上述全加器电路在 LTspice 中进行了仿真验证, 结果如图 5 所示. 从图中可以看到当输入 A, B, CI 都为高电平时, 输出 S 和进位 CO 都为 1; 当输入 A, B 为高电平, CI 为低电平时, 输出 S 为低电平但产生的进位 CO 为高电平; 当输入信号为其他形式时, 其输出信号 S 和进位信号 CO 都完全与真值表相对应, 验证了全加器电路的正确性. 另外, 由于进位输出信号 CO 是忆阻端直接输出的, 所以在后续电路的设计中, 尤其是阻性负载时需加反相器进行隔离, 防止出现分压现象.

与已有文献中的全加器进行比较, 如表 3 所示, 可以看出在忆阻器和 CMOS 管的使用量上, 本文的电路设计有着明显的减少, 并且延迟时间上减少也较为明显, 分别比文献 [25] 减少了约 81.3%, 比文献 [19] 约减少了 53.3%. 在功率消耗方面同样具有优势, 比文献 [19] 所消耗的功耗减少了约

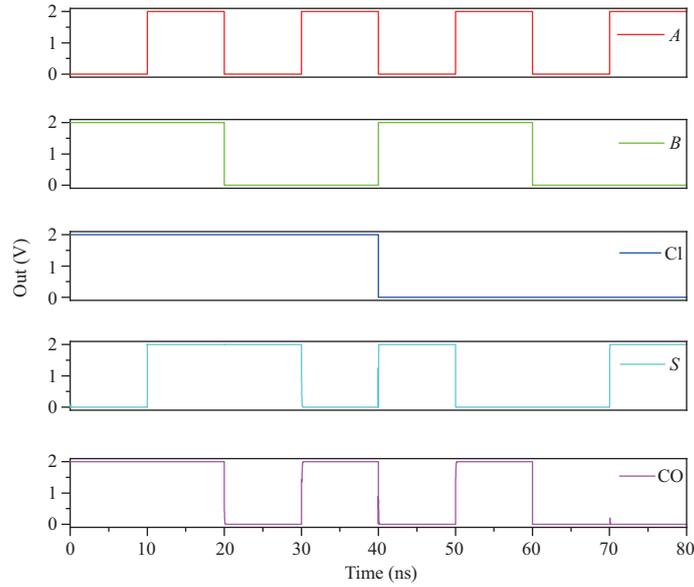


图 5 (网络版彩图) 全加器仿真结果图

Figure 5 (Color online) Full adder simulation result

表 3 全加器设计对比

Table 3 Full adder truth table

	Ref. [25]	Ref. [19]	This work
CMOS	27	6	6
Memristor	–	16	8
Delay time (ns)	0.224	0.09	0.042
Power (mW)	37.618	6.2	4.27

1.93 mW. 通过表 3 的对比分析, 本文所设计的全加器电路在电路面积、延迟和功耗方面都有着较为明显的优势.

4 乘法器设计

乘法器在超大规模集成电路和数字电路中起着关键性作用, 可以广泛应用在数字信号处理系统中 和 DSP 等领域. 乘法器的面积、功耗和延时时间等参数很大程度上影响了所设计硬件电路的面积和 功耗等, 所以设计高速、低功耗的乘法器电路显得尤为重要 [26]. 2 位二进制乘法器对 4 个输入信号 A_1, A_0, B_1, B_0 进行乘法运算得到 4 个输出信号 C_0, C_1, C_2 和 C_3 , 根据乘法器的运算规则可列出其 真值表, 如表 4 所示, 其逻辑输出表达式为

$$\begin{cases} C_0 = A_0B_0, \\ C_1 = \overline{A_1}A_0B_1 + A_0B_1\overline{B_0} + A_1\overline{A_0}B_0 + A_1\overline{B_1}B_0 = (A_0B_1)(\overline{A_1}B_0) + (A_1B_0)(\overline{A_0}B_1), \\ C_2 = A_1B_1\overline{B_0} + A_1\overline{A_0}B_1 = (A_1B_1)(\overline{A_1}A_0B_1B_0), \\ C_3 = A_1A_0B_1B_0. \end{cases} \quad (5)$$

表 4 二进制乘法器真值表
Table 4 Truth table of binary multiplier

A_1	A_0	B_1	B_0	C_3	C_2	C_1	C_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

根据式 (5), 利用图 2 中的基于忆阻器的与门、或门和新型 2T-4M 模块逻辑设计了 2 位二进制乘法器电路, 如图 6 所示. 这里二进制乘法器看起来和全加器相互独立, 但新型 2T-4M 模块是 XOR 门衍生而来的, 具有相同的设计思路. A_1, A_0, B_1, B_0 经过 4 个忆阻器与门分别得到 A_0B_0, A_1B_0, A_0B_1 和 A_1B_1 , 其中 A_0B_0 输出 C_0 信号. C_1 信号的产生是由 4 个忆阻器和 4 个 CMOS 管实现的, A_1B_0, A_0B_1 分别与 4T-4M 结构的两对 CMOS 管中的 PMOS 管的源极连接, 并交叉控制两对 CMOS 管的栅极, 得到 $A_1B_0 (\overline{A_0B_1})$ 和 $A_0B_1 (\overline{A_1B_0})$, 再经过忆阻器或门产生输出信号 C_1 . A_1B_1 和 A_0B_0 经过忆阻器与门电路得到输出信号 C_3 . A_1B_1 与新型 2T-4M 结构的 PMOS 管源极相连, C_3 作为控制信号与 CMOS 管的门极连接, 得到输出信号 C_2 .

在 LTspice 中对所设计的乘法器进行了仿真验证, 结果如图 7 所示, 可见当 A_1, A_0 为低电平且 B_1, B_0 为高电平时, 输出信号都为低电平; 当 A_1 为低电平其余的输入信号都为高电平时, 输出 C_0, C_1 为高电平; 输入信号都为高电平时, 输出 C_3 和 C_0 为高电平, 这些输出结果都与乘法器的运算结果一致. 其余的输入输出波形也都与二进制乘法器的真值表一一对应, 说明所设计的乘法器电路可以正确运行.

通过将本文所设计的乘法器与文献中的乘法器进行比较, 如表 5^[27] 所示, 可以看出本文设计的乘法器电路在器件使用上具有一定的优势. 器件的减少会使芯片的面积减小, 电路所消耗的功率和延迟时间也都会有相应的减小. 与文献 [5] 相比, 本文设计的乘法器虽然在晶体管上使用数量有所增加, 但是克服了其忆阻器开启后不能关断和驱动能力弱等问题, 可以有效减少电路的功率消耗.

5 基于全加器的加解密电路设计

随着网络化智能化的发展, 数字图像在军事、医疗等领域有着广泛的应用, 在军事、政治等领域数

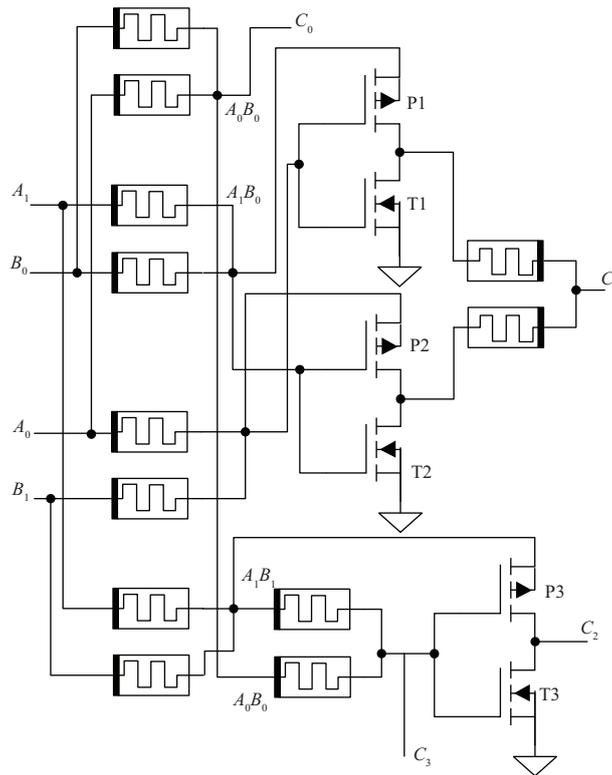


图 6 2 位二进制乘法器

Figure 6 Binary multiplier circuit with 2 bits

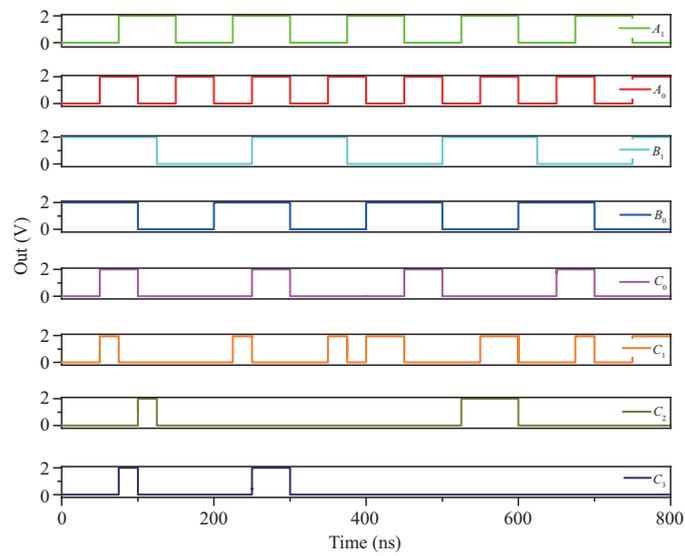


图 7 (网络版彩图) 2 位二进制乘法器仿真波形

Figure 7 (Color online) Simulation waveform of 2-bits binary multiplier circuit

字图像需要有较好的保密性. 现代计算机中对二维图像的处理通常是转换成一维数据, 再对图像进行

表 5 二进制乘法器设计对比
Table 5 Comparison of binary multiplier

	Traditional CMOS	Ref. [26]	Ref. [27]	Ref. [5]	This work
CMOS	62	32	8	2	6
Memristor	0	34	16	18	12



图 8 基于全加器的加密单元
Figure 8 Encryption unit based on a full adder

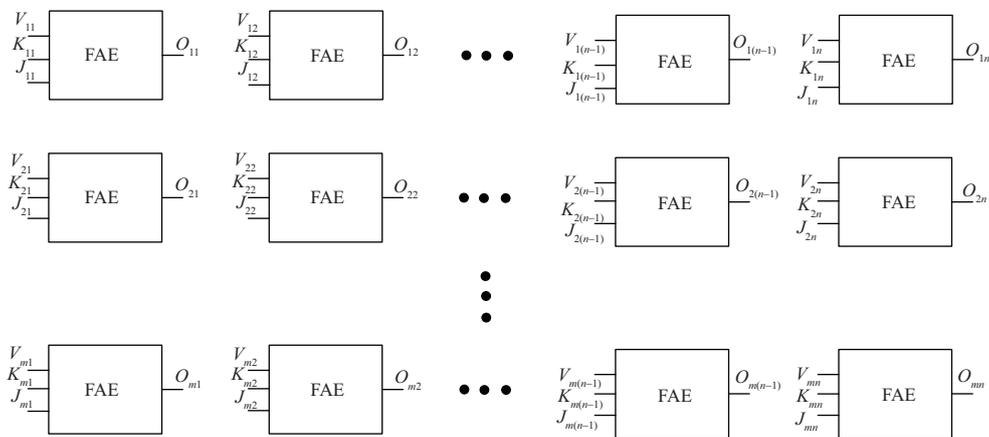


图 9 基于 FAE 的二值图像加解密电路
Figure 9 Binary image encryption and decryption circuit based on FAE

操作 [21]. 本文基于图 4 的全加器电路设计了一种二值图像加解密电路, 为了设计简洁, 将全加器简化为如图 8 所示的加密单元 (full adder encryption, FAE), 是全加器的简化符号, 其中 V , K , J 分别对应了全加器的数据输入 A , B 和进位输入 CI .

加密单元的输入端 V 是图像的基本信息输入, K , J 作为两个密钥信息输入. 相对于用 XOR 和 XNOR 逻辑对数字图像进行加密处理, 通过 FAE 单元进行加密使用了两个密钥, 相对更为安全. 两个密钥可以分开保管, 但必须同时操作才能够解密. 利用 FAE 单元, 构建 $m \times n$ 阵列形式的二值图像加解密电路, 如图 9 所示.

加密过程就是将二维图像对应的二值矩阵和密钥输入到加密电路中相加, 产生加密图像; 解密过程则是将加密图像替代原图像数据输入与密钥再次相加. 为了说明其操作过程, 构建了 5×5 的矩阵, 对数字“8”进行加密、解密, 图像矩阵和两个随机产生的密钥矩阵如图 10 所示.

将原图像矩阵和随机生成的两个密钥矩阵输入到电路中, 得到加密图像; 而把加密图像与两个密钥矩阵输入到电路中相加即实现解密操作, 得到解密图像矩阵, 图 11 显示了图 10 矩阵中数字“8”的加解密过程.

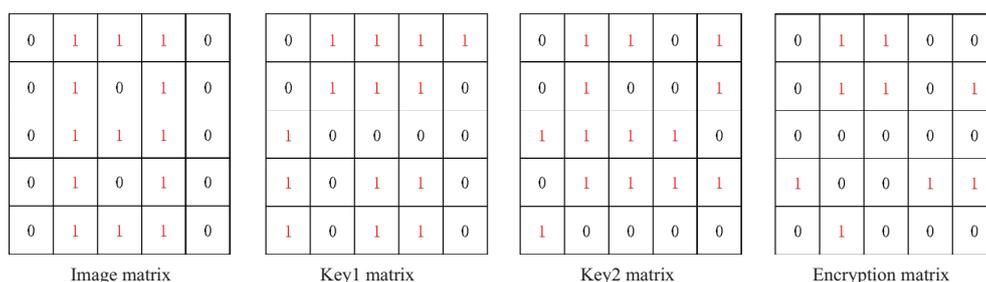


图 10 图像、密钥和加密矩阵
Figure 10 Image, key, and encryption matrix

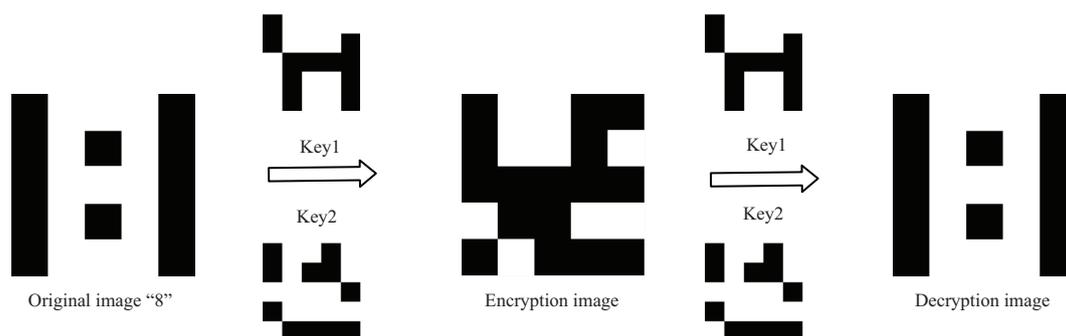


图 11 数字“8”加解密过程
Figure 11 Number “8” encryption and decryption process

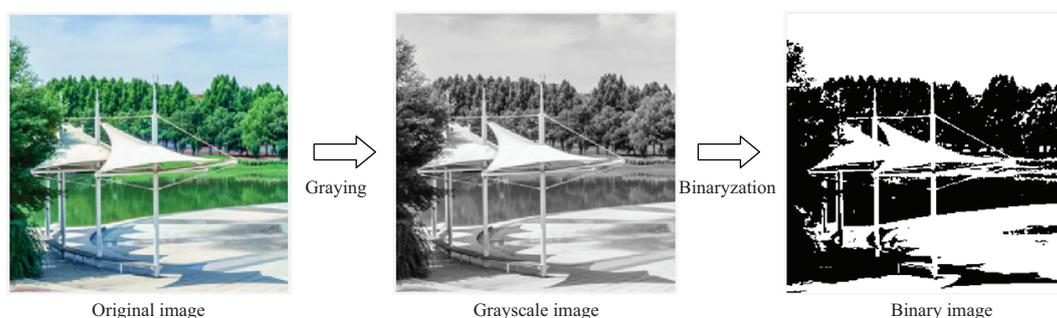


图 12 图像二值化过程
Figure 12 Image binarization process

本文采用拍摄剪辑的 256×256 图片对加解密电路作了进一步验证, 首先将原图进行灰度化处理, 然后对灰度图像进行 OTSU 阈值分割得到二值图像, 如图 12 所示. 二值图像的每一个像素点对应形成一个二进制数值, 因而构成一个 256×256 的二值矩阵, 对应随机生成两个同样大小的密钥矩阵. 将图像矩阵和两个密钥矩阵进行二进制加法运算, 即可得到加密图像, 得到的加密图像再与两个密钥矩阵进行二进制加法, 即可实现解密, 如图 13 所示. 在对高像素的图像进行处理时, 采用硬件电路实现加解密操作具有显著的速度优势^[21]. 随着信息化水平的发展, 高像素图像在军事、医疗等领域的应用愈加广泛, 相应地, 对图像处理速度的要求也越来越高, 硬件电路的优势也会更加明显.

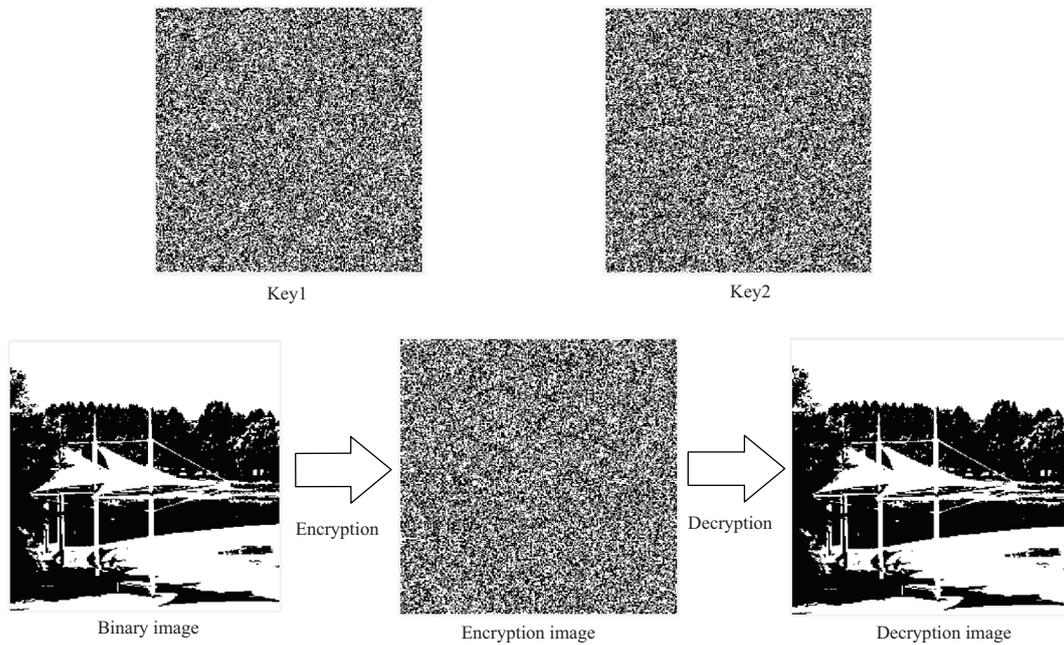


图 13 二值图像加解密过程

Figure 13 Binary image encryption and decryption process

6 结论

本文基于忆阻器门电路和新型 2T-4M 模块设计实现了全加器和二进制乘法器, 并在 LTspice 中对两种电路进行了仿真实验, 验证了电路设计的正确性. 通过与文献中设计的全加器和乘法器进行对比分析, 发现本文所设计的全加器电路在器件的使用数量、延迟时间和功耗等方面有着显著的减少, 乘法器所需要的晶体管和忆阻器数量也有着明显减少, 并且克服了 1T-5M 模块结构忆阻器开启后难以关闭而造成功率消耗较大的问题. 因此, 本文设计的两种电路在电路面积、延迟时间和功耗等方面具有一定的优势. 但只在单个全加器和乘法器电路中对忆阻器的兼容性问题进行了验证; 在大规模集成电路中串扰、温度等因素会造成器件漂移甚至失效, 对电路的稳定性造成了一定的影响, 所以还需要进一步研究和进行容错设计. 将全加器应用于图像加解密, 验证了电路设计的可行性, 因而可应用在数字电路和大规模集成电路设计中.

参考文献

- 1 Chua L O. Memristor—the missing circuit element. *IEEE Trans Circuit Theor*, 1971, 18: 507–519
- 2 Alharbi A G. Practical memristor emulator circuit development techniques for analog applications. Dissertation for Ph.D. Degree. Kansas City: University of Missouri-Kansas City, 2017. 167
- 3 Strukov D B, Snider G S, Stewart D R, et al. The missing memristor found. *Nature*, 2008, 453: 80–83
- 4 Wang X Y, Jin C X, Zhou P F. Memristive digital logic circuit design. *J Electron Inform Technol*, 2020, 42: 851–861 [王晓媛, 金晨曦, 周鹏飞. 忆阻数字逻辑电路设计. *电子与信息学报*, 2020, 42: 851–861]
- 5 Wang G Y, Shen S H, Liu G Z, et al. Design of memristor based multiplier circuits. *J Electron Inform Technol*, 2020, 42: 827–834 [王光义, 沈书航, 刘公致, 等. 基于忆阻器的乘法器电路设计. *电子与信息学报*, 2020, 42: 827–834]
- 6 Huang P, Kang J, Zhao Y, et al. Reconfigurable nonvolatile logic operations in resistance switching crossbar array for large-scale circuits. *Adv Mater*, 2016, 28: 9758–9764

- 7 Shen W, Huang P, Fan M, et al. A seamless, reconfigurable, and highly parallel in-memory stochastic computing approach with resistive random access memory array. *IEEE Trans Electron Devices*, 2020, 68: 103–108
- 8 Shen W, Huang P, Fan M, et al. Stateful logic operations in one-transistor-one-resistor resistive random access memory array. *IEEE Electron Device Lett*, 2019, 40: 1538–1541
- 9 Xiong P F, Tong X B, Song A G, et al. Robotic cross-modal generative adversarial network based on variational Bayesian Gaussian mixture noise model. *Sci Sin Inform*, 2021, 51: 104–121 [熊鹏飞, 童小宝, 宋爱国, 等. 基于变分贝叶斯高斯混合噪声模型的机器人跨模态生成对抗网络. *中国科学: 信息科学*, 2021, 51: 104–121]
- 10 Waser R, Aono M. Nanoionics-based resistive switching memories. *Nat Mater*, 2007, 6: 833–840
- 11 Lin Y, Liu W B, Shen Q. Bi-stability in a fifth-order voltage-controlled memristor-based Chua's chaotic circuit. *Acta Phys Sin*, 2018, 67: 25–35 [林毅, 刘文波, 沈骞. 五阶压控忆阻蔡氏混沌电路的双稳定性. *物理学报*, 2018, 67: 25–35]
- 12 Talukdar A, Radwan A G, Salama K N. Generalized model for memristor-based Wien family oscillators. *Microelectron J*, 2011, 42: 1032–1038
- 13 Haron N Z, Hamdioui S. Why is CMOS scaling coming to an END? In: *Proceedings of the 3rd International Design and Test Workshop*, 2008. 98–103
- 14 Kvatinsky S, Belousov D, Liman S, et al. MAGIC-memristor-aided logic. *IEEE Trans Circuits Syst II*, 2014, 61: 895–899
- 15 Wang H P, Lin C C, Wu C C, et al. On synthesizing memristor-based logic circuits with minimal operational pulses. *IEEE Trans VLSI Syst*, 2018, 26: 2842–2852
- 16 Yao L, Liu P, Wu J, et al. Integrating two logics into one crossbar array for logic gate design. *IEEE Trans Circuits Syst II*, 2021, 68: 2987–2991
- 17 Corinto F, Ascoli A. A boundary condition-based approach to the modeling of memristor nanostructures. *IEEE Trans Circuits Syst I*, 2012, 59: 2713–2726
- 18 Kvatinsky S, Wald N, Satat G, et al. MRL—memristor ratioed logic. In: *Proceedings of the 13th International Workshop on Cellular Nanoscale Networks and their Applications*, 2012. 1–6
- 19 Liu G, Shen S, Jin P, et al. Design of memristor-based combinational logic circuits. *Circuits Syst Signal Process*, 2021, 40: 5825–5846
- 20 Hasan M, Biswas P, Alam M S, et al. High speed and ultra low power design of carry-out bit of 4-bit carry look-ahead adder. In: *Proceedings of the 10th International Conference on Computing, Communication and Networking Technologies (ICCCNT)*, 2019. 1–5
- 21 Yang H, Duan S K, Dong Z K, et al. A memristor-CMOS-based general circuit and its applications. *Sci Sin Inform*, 2020, 50: 289–302 [杨辉, 段书凯, 董哲康, 等. 基于忆阻器-CMOS的通用逻辑电路及其应用. *中国科学: 信息科学*, 2020, 50: 289–302]
- 22 Wang X, Yang R, Chen Q, et al. An improved memristor-CMOS XOR logic gate and a novel full adder. In: *Proceedings of 2017 9th International Conference on Advanced Computational Intelligence (ICACI)*, 2017. 7–11
- 23 Yakopcic C, Taha T M, Subramanyam G, et al. Generalized memristive device SPICE model and its application in circuit design. *IEEE Trans Comput-Aided Des Integr Circuits Syst*, 2013, 32: 1201–1214
- 24 Wang Z R, Su Y T, Li Y, et al. Functionally complete Boolean logic in 1T1R resistive random access memory. *IEEE Electron Device Lett*, 2017, 38: 179–182
- 25 Panda S, Maji A. Power and delay comparison in between different types of full adder circuits. *Int J Adv Res Electr Electron Instrument Eng*, 2012, 1: 168–172
- 26 Singh T. Hybrid memristor-CMOS (MeMOS) based logic gates and adder circuits. 2015. ArXiv:1506.06735
- 27 Teimoory M, Amirsoleimani A, Ahmadi A, et al. A hybrid memristor-CMOS multiplier design based on memristive universal logic gates. In: *Proceedings of IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2017

Design and application of memristor hybrid logic circuit

Guangzhen DAI^{1,2}, Zhenyu ZHAO^{1,2}, Xingwen SONG^{1,2}, Mingjun HAN^{1,2} & Tianming NI^{1,2*}

1. *Key Laboratory of Advanced Perception and Intelligent Control of High-end Equipment, Ministry of Education, Wuhu 241000, China;*

2. *School of Electrical Engineering, Anhui Polytechnic University, Wuhu 241000, China*

* Corresponding author. E-mail: timmyni@ahpu.edu.cn

Abstract To address the large area and high power consumption issues in traditional integrated circuits, an improved design of nanoscale memristor is used to realize the adder and multiplier in digital logic circuits. The OR and AND gates of the memristor's MRL structure are used to design the XOR and XNOR logic gates of the 2T-4M structure. A full adder is created by combining these logic gates with CMOS, where the CMOS inverter improves signal drive. By improving the 2T-4M structure, a new 2T-4M logic module is implemented, and a 2-bit binary multiplier is designed based on this module. LTspice simulation ensures that the circuit design is correct. When compared to the previously reported MRL full adder and 2-bit binary multiplier, the full adder significantly reduced the number of components, improved the delay time by 53.3%, and reduced power consumption by 1.93 mW. The 2-bit binary multiplier design also has some advantages in terms of total component count, requiring only 18 in total. Finally, a full adder is used to create an encrypted array circuit to encrypt and decrypt the image, proving the circuit's feasibility in practical application.

Keywords memristor, CMOS, full adder, multiplier, image encryption