中国科学:信息科学 2022年 第52卷 第4期:675-686

SCIENTIA SINICA Informationis

纪念清华大学电子工程系成立 70 周年专刊・论文



高速电流舵数模转换器减小时序失配的方法

付裕深^{1,2}, 黄成宇^{1,2}, 孙立猛^{1,2}, 李学清^{1,2*}, 杨华中^{1,2*}

1. 清华大学电子与工程系, 北京 100084

2. 北京信息科学与技术国家研究中心, 北京 100084

* 通信作者. E-mail: xueqingli@tsinghua.edu.cn, yanghz@tsinghua.edu.cn

收稿日期: 2021-12-10; 修回日期: 2022-01-04; 接受日期: 2022-01-11; 网络出版日期: 2022-03-30

国家自然科学基金 (批准号: 61934009) 资助项目

摘要 随着电流舵数模转换器 (digital-to-analog converter, DAC) 工作频率的提高,即使是数百飞秒的 时序失配也会严重恶化高性能 DAC 的动态性能. 在这一类 DAC 中,锁存驱动器模块直接控制电流源的 开关切换,其时序直接影响电流舵 DAC 输出模拟信号的码间过渡动态特性. 电流舵 DAC 锁存驱动器 时序失配的主要来源,包括时钟网络延时失配、开关驱动晶体管的梯度失配和随机失配. 一方面,在传 统时钟网络中,不同位置节点间的失配是时钟网络延时失配的重要来源;另一方面,增加开关驱动晶体 管尺寸可减少随机失配造成的延时偏差,但增加梯度失配造成的延时偏差. 为了减小锁存驱动器时序 失配提升 DAC 动态性能,本文提出了一种通过改变时钟网络连接方式减小时钟延时失配的方法,以及 一种综合考虑梯度失配与随机失配的联合设计方法. 为了验证所提方法的有效性,在 65 nm 工艺下设 计了一个 14b 精度的 DAC,流片测试结果表明在 1 GS/s 采样率、430 MHz 信号带宽内,实测的无杂散动 态范围 (spurious-free dynamic range, SFDR) 大于 70 dB. 与相同工艺下设计但并未采用本文所提出的 时序优化方法的 DAC 测试结果对比表明,本文提出的时序优化方法以功耗从 106 mW 提升到 160 mW 为代价,将 SFDR 大于 70 dB 的信号带宽从 210 MHz 提升到 430 MHz.

关键词 时序失配, 数模转换器 (DAC), 时钟网络, 梯度失配, 随机失配, 无杂散动态范围 (SFDR)

1 引言

高速高精度数模转换器 (digital-to-analog converter, DAC) 通常采用电流舵结构,并且在通信系统、直接数字频率合成和雷达系统等领域有着广泛的应用^[1~3].随着采样频率的提高, DAC 输出切换过程占整体周期的比重增加,时序失配成为影响 DAC 高频动态范围的重要因素^[1,2,4~11].在高速电流舵结构的 DAC 中,锁存驱动器单元控制多个电流源的开关切换,其切换的时序同步是影响电流舵 DAC 输出时序和动态性能的关键.图 1 展示了 DAC 的整体结构和其内的锁存驱动器时序失配对电

引用格式: 付裕深, 黄成字, 孙立猛, 等. 高速电流舵数模转换器减小时序失配的方法. 中国科学: 信息科学, 2022, 52: 675-686, doi: 10.1360/SSI-2021-0411
 Fu Y S, Huang C Y, Sun L M, et al. Methods for reducing the timing mismatch of high-speed current-steering digital-to-analog converters (in Chinese). Sci Sin Inform, 2022, 52: 675-686, doi: 10.1360/SSI-2021-0411

© 2022《中国科学》杂志社



图 1 (网络版彩图) 电流舵 DAC 锁存驱动器时序失配示意图 Figure 1 (Color online) Latch timing mismatch of current-steering DAC

流源开关切换的影响.目前,减小 DAC 时序失配的方法主要有三维排列组合校准技术 (3-dimensional sort-and-combine, 3D-SC)^[8]、动态匹配映射技术 (dynamic-mismatch mapping, DMM)^[12] 和过采样技术^[1,13]等方法.这些方法通过对时序偏差进行测量并修正 DAC 参数,从而取得了补偿时序偏差影响的良好效果,但缺点是增加的系统的功耗和面积开销较高.

锁存驱动器时序失配的主要来源^[6,7,14],包括时钟网络失配、开关驱动晶体管的梯度失配和随机 失配.传统时钟网络结构驱动器失配导致时钟信号到达各个锁存驱动器的延时不同,造成锁存驱动器 的切换时刻不同步.锁存驱动器晶体管梯度失配与随机失配都与锁存驱动器阵列尺寸有关:晶体管尺 寸增大,随机失配减小但梯度失配增大.本文提出了一种减小时钟网络延时偏差的方法,通过将同层的 驱动器输出连接起来,有效减小驱动器失配造成的时序偏差;此外,本文通过合理设计锁存驱动器阵 列尺寸,使梯度失配与随机失配造成的时序偏差整体达到最小.本文采取的时序优化方法从源头上控 制了时序失配的产生,并且可以与时序校准方法联合使用进一步减小时序失配提升 DAC 动态性能.

在本文的后续章节中,第2节分析锁存器时序偏差的来源及影响,第3节介绍提出的减小时钟网络延时偏差方法和锁存驱动器尺寸优化方法,第4节介绍 DAC 的实现和测试结果,第5节对本文进行总结.

2 锁存驱动器时序失配来源及影响

锁存驱动器时序失配的主要来源,包括时钟网络延时失配、开关驱动晶体管的梯度失配和随机失 配. 一个在 65 nm CMOS 工艺下设计精度为 14b 的电流舵 DAC 被用于仿真分析锁存驱动器时序失 配对动态性能的影响. DAC 采用 6+4+4 分段共分为 6 bit 最高有效位 MSB (most significant bits), 4 bit 次高有效位 ULSB (upper least significant bits) 和 4 bit 最低有效位 LSB (least significant bits), 其中 MSB 和 ULSB 采用温度计译码并使用动态元件匹配 (dynamic element matching, DEM) 共有 63 和 15 组电流源, LSB 采用二级制译码有 4 组电流源, 共有 82 组电流源和对应的锁存驱动器单元.

2.1 锁存驱动器时钟网络延时失配

时钟网络驱动器失配是时钟网络时序失配的重要来源^[15~17].由于时钟网络各层驱动器驱动能力 存在差异,时钟信号从时钟网络根结点到各个锁存驱动器的路径延时不同,不同位置的锁存驱动器切



图 2 (网络版彩图) (a) 锁存驱动器时钟网络结构; (b) 时钟驱动器失配的情况下时钟网络输出波形 **Figure 2** (Color online) (a) Clock network structure of latches; (b) clock network outputs in case of clock driver mismatch



换时刻存在偏差,影响锁存驱动器输出时序恶化 DAC 动态性能.

图 2 展示了锁存驱动器的时钟网络结构和时钟网络在时钟驱动器失配时的输出波形. 锁存驱动器时钟网络是一棵有 128 个输出的二叉树, 其中 82 路输出送往锁存驱动器, 46 路输出送往虚拟单元. 当时钟驱动器存在失配时, 驱动能力强的驱动器输出的时钟信号先到达对应的锁存驱动器, 驱动能力弱的驱动器输出的时钟信号后到达对应的锁存驱动器, 造成锁存驱动器切换时序不同步.

2.2 锁存驱动器开关驱动晶体管的梯度失配

由于芯片加工工艺的影响, 晶体管阵列会产生梯度偏差^[18~20]. 锁存驱动器开关驱动晶体管的梯 度偏差的主要影响因素是阵列的大小, 锁存驱动器阵列越大梯度偏差越大. 锁存驱动器阵列的版图如 图 3 所示, 82 组锁存驱动器线性排列, 受梯度偏差影响不同位置锁存驱动器开关驱动晶体管的阈值 电压 *V*th 与理论值存在偏差 Δ*V*th, 锁存驱动器阵列规模越大开关驱动晶体管阈值电压偏差 Δ*V*th 越大.



图 4 (网络版彩图) 锁存驱动器开关驱动晶体管阈值电压偏差仿真结果 (阈值电压偏差范围: $(\Delta V1 = 50 \text{ mV}, \Delta V2 = 75 \text{ mV}, \Delta V3 = 100 \text{ mV})$

Figure 4 (Color online) Simulation result of threshold voltage deviation of switch drive transistor (threshold voltage deviation range: $\Delta V3 > \Delta V2 > \Delta V1$). (a) The relationship between the latch timing deviation and threshold voltage range deviation; (b) the relationship between the dynamic range of the DAC and the deviation of the threshold voltage range

图 4 展示了在 3.125 GS/s 采样率不同开关驱动晶体管阈值电压偏差范围的情况下锁存驱动器输 出延时偏差和 DAC 动态性能, $\Delta V1$, $\Delta V2$ 和 $\Delta V3$ 表示 3 种不同的开关驱动晶体管阈值电压偏差范 围: $\Delta V1 = 50 \text{ mV}$, $\Delta V2 = 75 \text{ mV}$, $\Delta V3 = 100 \text{ mV}$. 当锁存驱动器开关驱动晶体管阈值电压偏差范围 为 50 mV 时, 锁存驱动器输出延时分布的标准差为 112 fs, SFDR (spurious-free dynamic range) 最大 值 83 dB, 随着阈值电压偏差范围的增加锁存驱动器时序偏差增大 DAC 动态性能恶化, 当阈值电压 偏差范围增大到 100 mV 时, 锁存驱动器输出延时分布的标准差增大到 125 fs, SFDR 最大值恶化为 76 dB.

2.3 锁存驱动器开关驱动晶体管的随机失配

受芯片生产工艺影响, 晶体管尺寸会产生随机偏差^[21~23]. 与梯度偏差不同, 随机偏差的主要影响因素是晶体管的尺寸, 锁存驱动器开关驱动晶体管尺寸越小随机偏差越大对锁存驱动器时序偏差的影响越大. 随机失配造成开关驱动晶体管的尺寸产生随机偏差, 使锁存驱动器的输出切换时序不同步, 进而影响 DAC 的动态性能.

图 5 展示了采用不同尺寸开关驱动晶体管的锁存驱动器时序偏差和 DAC 动态性能的 Monte Carlo 仿真结果, S1, S2 和 S3 分别代表采用不同尺寸开关驱动晶体管的锁存驱动器单元面积: S3 = 800 μ m², S2 = 400 μ m², S1 = 200 μ m². 当锁存驱动器单元面积为 200 μ m² 时, 锁存驱动器输出延时分布的标 准差为 117 fs, SFDR 最大值 82 dB, 随着锁存驱动器单元尺寸的增加锁存驱动器输出时序偏差减小 DAC 动态性能提高, 当锁存驱动器单元尺寸增大到 800 μ m² 时, 锁存驱动器输出延时分布的标准差减 小到 71.7 fs, SFDR 上升到 88 dB.

3 减小锁存驱动器时序失配的方法

本节针对锁存驱动器时序失配的主要来源,包括时钟网络延时失配、锁存驱动器开关驱动晶体管 梯度失配和随机失配,提出对应的时序优化方法.为了减小锁存驱动器时序失配提高 DAC 动态性能, 本文提出了一种通过改变时钟网络连接方式减小时钟延时失配的方法,以及一种优化锁存驱动器尺寸 使开关驱动晶体管的梯度失配和随机失配综合造成的锁存驱动器时序偏差达到最小的方法.



图 5 (网络版彩图) 不同锁存驱动器尺寸 Monte Carlo 仿真结果 (尺寸大小: $S3 = 800 \ \mu m^2$, $S2 = 400 \ \mu m^2$, $S1 = 200 \ \mu m^2$)

Figure 5 (Color online) Monte Carlo simulation results of different latch sizes (size: $S3 = 800 \ \mu\text{m}^2$, $S2 = 400 \ \mu\text{m}^2$, $S1 = 200 \ \mu\text{m}^2$) (a) Standard deviation of latch timing; (b) SFDR versus signal frequency clocked at 3.125 GS/s



图 6 (a) 传统时钟网络示意图; (b) 提出的低延时偏差时钟网络示意图 Figure 6 Diagram of (a) traditional clock network and (b) the proposed low-deviation clock network

3.1 改变时钟网络连接方式

为了减小时钟驱动器失配对时钟网络延时的影响,本文通过改变传统时钟网络的连接方式得到了 一种新的时钟网络结构,与传统时钟网络的对比如图 6 所示.新的时钟网络结构通过将同层驱动器输 出连接在一起,重新分配了时钟网络不同驱动器的驱动能力,缩小路径延时的偏差范围.

图 7 展示了传统时钟网络和提出的低延时偏差时钟网络的 Monte Carlo 仿真结果. 通过改变传统时钟网络结构将时钟网络同层输出相连后, 时钟网络绝大部分节点的延时偏差都实现了减小, 延时偏差范围普遍从 300 fs 减小到 75 fs, 缩小到原来的 1/4 左右.

图 8 展示了采用传统时钟网络与采用提出的低偏差时钟网络的 DAC 动态范围的对比结果.由于低延时偏差时钟网络将同层的驱动器连接在一起缓解了驱动器失配的影响,减小时钟延时失配对锁存驱动器时序的影响.在 3.125 GS/s 采样率下 SFDR 性能低频提升 3 dB 高频提升 1 dB 全频带提升 2 dB, 仿真结果表明提出的低延时偏差时钟网络减小了驱动器失配对锁存驱动器输出时序的影响,提升了 DAC 动态性能.

3.2 综合评估锁存驱动器开关驱动晶体管的梯度失配与随机失配

锁存驱动器阵列尺寸的提升会减小开关驱动晶体管的随机偏差,但是也带来额外的面积开销和更 大的梯度偏差,电路设计时需要综合考虑开关驱动晶体管的随机失配和梯度失配对锁存驱动器输出时





Figure 7 (Color online) Comparison of delay deviation between traditional clock network and the proposed low-deviation clock network from input to each leaf node. (a) Monte Carlo simulation curves; (b) delay deviation range of Monte Carlo simulation



图 8 (网络版彩图) 传统时钟网络与提出的低延时偏差时钟网络动态范围对比图 (采样频率 3.125 GS/s) Figure 8 (Color online) SFDR versus signal frequency of two clock networks clocked at 3.125 GS/s

序的影响.

图 9 展示了锁存驱动器尺寸与锁存驱动器时序偏差和 DAC 动态范围的关系, k1, k2 和 k3 是 3 种阈值电压范围偏差与锁存驱动器尺寸的比例系数: k3 = 30 mV/µm², k2 = 20 mV/µm², k1 = 10 mV/µm², 用于表示梯度偏差的严重程度. 随着锁存驱动器尺寸的增加, 开关驱动晶体管随机 失配引起的锁存驱动器时序偏差减小梯度失配引起的锁存驱动器时序偏差增加, 锁存驱动器整体时序 偏差先减小后增加, 存在一种锁存驱动器尺寸使随机失配和梯度失配引起的时序偏差之和达到最小, 同时 DAC 的动态范围在这种锁存驱动器尺寸下达到最大值.

4 芯片实现与测试结果

为了验证第 3 节提出的减小锁存驱动器时序偏差的方法,本文在 65 nm CMOS 工艺下设计了一个 14b 精度的电流舵 DAC.本节介绍并分析 DAC 的实现方式和测试结果.

680



图 9 (网络版彩图) 不同阈值电压偏差范围 (阈值电压偏差范围系数: $k3 = 30 \text{ mV}/\mu\text{m}^2$, $k2 = 20 \text{ mV}/\mu\text{m}^2$, $k1 = 10 \text{ mV}/\mu\text{m}^2$) 不同锁存驱动器尺寸下锁存驱动器时序偏差和 DAC 动态范围的 Monte Carlo 仿真结果 Figure 9 (Color online) Comparison of Monte Carlo simulation results of the relationship between the latch size and timing deviation and the relationship between the latch size and dynamic range under different threshold voltage deviation range factor: $k3 = 30 \text{ mV}/\mu\text{m}^2$, $k2 = 20 \text{ mV}/\mu\text{m}^2$, $k1 = 10 \text{ mV}/\mu\text{m}^2$)



4.1 DAC 结构

DAC 采用时间松弛交织动态元件匹配随机归零技术 (time-relaxed interleaving dynamic-elementmatching-return-to-zero, TRI-DEMRZ)^[9],整体结构如图 10 所示.外部数据通过低速时钟送入片内缓 存再通过高速时钟送往动态元件匹配 (DEM) 译码器,译码后交替送往 sub-DAC1 和 sub-DAC2. 伪随 机数发生器产生一组随机数送往译码器用于实现 DEM 功能和产生随机归零信号.sub-DAC1 和 sub-DAC2 交替输出归零信号, DAC 整体输出非归零波形. 14 bit DAC 采用分段结构分为 6 bit 最高有效 位 (MSB), 4 bit 次高有效位 (ULSB) 和 4 bit 最低有效位 (LSB). DEM 译码器通过随机循环移位二进 制译码 (random rotation-based binary-weighted selection, RRBS)^[24] 方式实现.为了减小锁存驱动器 的时序失配,一方面采用低偏差时钟网络将同层的节点相连减小不同驱动器失配的影响;另一方面优 化锁存驱动器尺寸,同时考虑锁存驱动器开关驱动晶体管的梯度失配和随机失配对时序偏差的影响. 系统性减小时序失配的方法如图 11 所示.



图 11 (网络版彩图) 减小锁存驱动器时序方法示意图 Figure 11 (Color online) Methods for reducing latch timing mismatch



图 12 (网络版彩图)芯片显微照片 Figure 12 (Color online) Die micrograph

4.2 测试结果

采用提出的优化时序方法的精度为 14b 的电流舵 DAC 在 65 nm CMOS 工艺下实现, 芯片显微照片如图 12 所示. 芯片包含片上缓存、译码器、伪随机数发生器、锁存驱动器和电流开关单元, 核心电路面积 0.6 mm². 芯片数字电路功耗为 120 mW (不包含片上缓存), 模拟电路功耗 40 mW.

图 13 展示了本文采用优化时序方法的 DAC 和另一个在相同工艺下实现的没有采用时序优化方法的 DAC^[9]的动态范围性能对比,通过采用提出的时序优化方法以功耗从 106 mW 增加到 160 mW 为代价将 SFDR > 70 dB 带宽从 210 MHz 提升到 430 MHz.在 1 GS/s 采样率下输入频率为 99 MHz 时 SFDR > 83 dB,输入信号 430 MHz 时 SFDR > 70 dB.信号频谱如图 14 所示.由于优化了锁存驱动器的时序,频谱图中的 2 阶和 3 阶谐波较小.

表 1 选取了采用时序校准方法和近期在 65 nm CMOS 工艺下实现的 DAC 设计. 与采用过采样技术减小时序偏差的工作^[1,13]相比,本文的方法减小了时序偏差而没有增加额外的功耗开销. 与在相同工艺下设计没有采用本文提出的时序校准方法的工作^[9]相比,本文的设计功耗开销从 106 mW 提



图 13 (网络版彩图) 采用时序优化方法与未采用时序优化方法的 DAC 的动态范围与输入信号的关系 Figure 13 (Color online) Measured SFDR of the experimental DAC with timing optimization method and without timing optimization method



图 14 (网络版彩图) 在 1 GS/s 下的输出信号频谱. (a) 输入信号 99 MHz; (b) 输入信号 430 MHz Figure 14 (Color online) Measured output spectra at 1 GS/s sampling rate with (a) 99 MHz input, and (b) 430 MHz input

升到 160 mW, SFDR 大于 70 dB 带宽从 210 MHz 提升到 430 MHz, FOM 值从 8.2 提升到 9.3. 本文 通过改变时钟网络连接方式和优化锁存驱动器尺寸, 时钟驱动器失配、以及开关驱动晶体管的随机失 配和梯度失配造成的锁存驱动器时序恶化得到改善, 实现了在 1 GS/s 采样率、430 MHz 带宽内, 实测的 SFDR > 70 dB. 与其他工作的对比如图 15 所示.

5 结论

电流舵 DAC 锁存驱动器时序失配的主要来源,包括时钟网络延时失配、开关驱动晶体管梯度失 配和随机失配,其中时钟驱动器失配造成了到达不同位置锁存驱动器的时钟信号不同步,进而导致各 个锁存驱动器切换时刻出现偏差;开关驱动晶体管梯度失配与随机失配都会造成锁存驱动器时序失 配,随着阵列的规模的增加随机失配减小梯度失配增加.为减小锁存驱动器时序偏差,一方面,本文提 出了一种减小时钟网络延时偏差的方法,通过将同层驱动器的输出相连减小了由于驱动器失配对时钟 延时的影响;另一方面,本文综合考虑开关驱动晶体管梯度失配与随机失配对锁存驱动器时序的影响,

Table 1 Comparisons with recently published similar designs					
Parameter	This work	2018 AICSP $^{[9]}$	2019 TCAS-I $^{[5]}$	2018 ISSCC ^[1]	2016 JSSC $^{[13]}$
Process (nm)	65	65	65	65	65
Core area (mm^2)	0.6	0.42	0.71	1.71	0.57
Resolution (bit)	14	14	14	16	12
$I_{\rm load} ({\rm mA})$	16	16	16	16	16
Sampling rate (GS/s)	1	0.5	3	12	2/8
Supply (V)	1.2/2.5	1.2/2.5	1.2/2.5	1/2.5	1/2.5
Power (mW)	160	106	226	1760	681
BandWidth@SFDR = $70 \text{ dB} (\text{MHz})$	430	210	422	615	950
FOM@70 dB $(10^{12}Conv./J)^*$	9.3	8.2	5.8	7.6	5.3

表 1 与其他设计对比表格

* FOM = $(2^{(70-1.76)/6.02} \times \text{BandWidth@SFDR} > 70 \text{ dB})/(\text{Power} - \text{Vdd} \times I_{\text{load}})^{[11]}$





优化锁存驱动器尺寸使整体时序偏差达到最小.本文提出的时序优化方法减小了时序偏差不增加额外的面积与功耗开销,并且可以与其他时序校准方法结合进一步减小时序失配提高 DAC 动态范围.为验证提出方法的效果,本文在 65 nm CMOS 工艺下设计了一个精度 14b 电流舵 DAC,流片测试结果表明在 1 GS/s 采样率下输入信号 99 MHz 时 SFDR 大于 83 dB,输入信号 430 MHz 时 SFDR 大于 70 dB. 与在相同工艺下实现没有采用时序优化方法的另一个 DAC^[9]测试结果对比表明,通过采用本文提出的时序优化方法以功耗从 106 mW 提升到 160 mW 为代价,将 SFDR 大于 70 dB 的信号带宽从 210 MHz 提升到 430 MHz.

参考文献-

¹ Su S Y, Chen M S W. A 16-bit 12-GS/s single-/dual-rate DAC with a successive bandpass delta-sigma modulator achieving < -67-dBc IM3 within DC to 6-GHz tunable passbands. IEEE J Solid-State Circ, 2018, 53: 3517–3527</p>

- 2 Engel G, Kuo S, Rose S. A 14b 3/6 GHz current-steering RF DAC in 0.18 μm CMOS with 66 dB ACLR at 2.9 GHz.
 In: Proceedings of IEEE International Solid-State Circuits Conference, 2012. 458–460
- 3 Chen L. Core optoelectronic chip technology for next generation optical access network. ZTE Commun, 2019, 25: 51-55 [陈雷. 下一代光接入网的核心光电芯片技术. 中兴通讯技术, 2019, 25: 51-55]
- 4 Lin C H, van der Goes F M L, Westra J R, et al. A 12 bit 2.9 GS/s DAC with IM3 < −60 dBc Beyond 1 GHz in 65 nm CMOS. IEEE J Solid-State Circ, 2009, 44: 3285–3293
- 5 Lai L Q, Li X Q, Fu Y S, et al. Demystifying and mitigating code-dependent switching distortions in current-steering DACs. IEEE Trans Circ Syst I, 2019, 66: 68–81
- 6 Chen T, Gielen G G E. The analysis and improvement of a current-steering DACs dynamic SFDR-I: the cell-dependent delay differences. IEEE Trans Circ Syst I, 2006, 53: 3–15
- 7 Chen T, Gielen G. The analysis and improvement of a current-steering DAC's dynamic SFDR-II: the output-dependent delay differences. IEEE Trans Circ Syst I, 2007, 54: 268–279
- 8 van de Vel H, Briaire J, Bastiaansen C, et al. 11.7 A 240 mW 16b 3.2 GS/s DAC in 65 nm CMOS with < -80 dBc IM3 up to 600 MHz. In: Proceedings of IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014. 206–207
- 9 Lai L Q, Li X Q, Liu J N, et al. A 14-bit 500-MS/s DAC with 211-MHz 70 dB SFDR bandwidth using TRI-DEMRZ. Analog Integr Circ Sig Process, 2018, 96: 133–145
- 10 Liu J N, Li X Q, Wei Q, et al. A 14-bit 1.0-GS/s dynamic element matching DAC with > 80 dB SFDR up to the Nyquist. In: Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), Lisbon, 2015. 1026–1029
- 11 Lee S M, Seo D, Taleie S M, et al. A 14b 750 MS/s DAC in 20 nm CMOS with < -168 dBm/Hz noise floor beyond Nyquist and 79 dBc SFDR utilizing a low glitch-noise hybrid R-2R architecture. In: Proceedings of Symposium on VLSI Circuits (VLSI Circuits), Kyoto, 2015. 164–165
- 12 Tang Y J, Briaire J, Doris K, et al. A 14 bit 200 MS/s DAC With SFDR > 78 dBc, IM3 < -83 dBc and NSD < -163 dBm/Hz across the whole nyquist band enabled by dynamic-mismatch mapping. IEEE J Solid-State Circ, 2011, 46: 1371-1381</p>
- 13 Su S Y, Chen M S W. A 12-Bit 2 GS/s dual-rate hybrid DAC with pulse-error pre-distortion and in-band noise cancellation achieving > 74 dBc SFDR and < -80 dBc IM3 up to 1 GHz in 65 nm CMOS. IEEE J Solid-State Circ, 2016, 51: 2963-2978
- 14 Huang C Y, Fu Y S, Yang Z K, et al. A 16-bit 4.0-GS/s calibration-free 65 nm DAC with > 70 dBc SFDR and < -80 dBc IM3 up to 1 GHz using constant-activity element switching. In: Proceedigns of the 47th European Solid State Circuits Conference (ESSCIRC), 2021. 495–498
- 15 Zhou Y J, Yuan J R. An 8-bit 100-MHz CMOS linear interpolation DAC. IEEE J Solid-State Circ, 2003, 38: 1758–1761
- 16 Kundu S, Alpman E, Lu J H L, et al. A 1.2 V 2.64 GS/s 8 bit 39 mW skew-tolerant time-interleaved SAR ADC in 40 nm digital LP CMOS for 60 GHz WLAN. IEEE Trans Circ Syst I, 2015, 62: 1929–1939
- 17 Kong D, Galton I. Subsampling mismatch noise cancellation for high-speed continuous-time DACs. IEEE Trans Circ Syst I, 2019, 66: 2843–2853
- 18 Lin W T, Huang H Y, Kuo T H. A 12-bit 40 nm DAC achieving SFDR > 70 dB at 1.6 GS/s and IMD < -61 dB at 2.8 GS/s with DEMDRZ technique. IEEE J Solid-State Circ, 2014, 49: 708-717</p>
- 19 Cong Y H, Geiger R L. A 1.5-v 14-bit 100-MS/s self-calibrated DAC. IEEE J Solid-State Circ, 2003, 38: 2051–2060
- 20 van der Plas G A M, Vandenbussche J, Sansen W, et al. A 14-bit intrinsic accuracy Q/sup 2/ random walk CMOS DAC. IEEE J Solid-State Circ, 1999, 34: 1708–1718
- 21 Lakshmikumar K R, Hadaway R A, Copeland M A. Characterisation and modeling of mismatch in MOS transistors for precision analog design. IEEE J Solid-State Circ, 1986, 21: 1057–1066
- van den Bosch A, Steyaert M, Sansen W. An accurate statistical yield model for CMOS current-steering D/A converters.
 In: Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), 2000. 105–108
- 23 Park H A, Yang C K K. An INL yield model of the digital-to-analog converter. IEEE Trans Circ Syst I, 2013, 60: 582–592
- 24 Lin W T, Kuo T H. A compact dynamic-performance-improved current-steering DAC with random rotation-based binary-weighted selection. IEEE J Solid-State Circ, 2012, 47: 444–453

Methods for reducing the timing mismatch of high-speed currentsteering digital-to-analog converters

Yushen FU^{1,2}, Chengyu HUANG^{1,2}, Limeng SUN^{1,2}, Xueqing LI^{1,2*} & Huazhong YANG^{1,2*}

1. Department of Electronic Engineering, Tsinghua University, Beijing 100084, China;

2. Beijing National Research Center for Information Science and Technology, Beijing 100084, China

* Corresponding author. E-mail: xueqingli@tsinghua.edu.cn, yanghz@tsinghua.edu.cn

Abstract As the operating frequency of the current-steering digital-to-analog converter (DAC) increases, a timing mismatch of hundreds of femtoseconds may significantly deteriorate the dynamic performance of the highperformance DAC. Herein, the latch module directly controls the switching of a group of current sources, and the timing synchronization directly affects the dynamic characteristics of the inter-symbol transition of the analog signal output by the current-steering DAC. Primary causes of the timing mismatch include the clock network delay mismatch, gradient mismatch of switch drive transistors, and random mismatch of switch drive transistors. The mismatch between the nodes at different locations in the traditional clock network is an important source of delay mismatch in the clock network. Notably, increasing the size of switch drive transistors can reduce the delay deviation caused by random mismatch but increase that by gradient mismatch. To reduce the latch timing mismatch and improve the dynamic performance of the DAC, this paper proposes a method to reduce the delay mismatch by changing the connection mode of the clock network and a joint design method considering both gradient and random mismatch. To verify the effectiveness of the proposed method, a 14-bit experimental DAC is fabricated via a 65-nm CMOS process. The measured spurious-free dynamic range (SFDR) is higher than 70 dB at a 1-GS/s sampling rate for 430-MHz signal bandwidth. Compared with the measured results of a prior DAC designed using the same process excluding the timing optimization method, this work increases the signal bandwidth of SFDR > 70 dB from 210 to 430 MHz at the expense of increased power consumption from 106 to 160 mW.

Keywords timing mismatch, digital-to-analog converter (DAC), clock network, gradient mismatch, random mismatch, spurious-free dynamic range (SFDR)