



# 高 $k + \text{SiO}_2$ 栅 FD-SOI MOSFET 阈值电压和 DIBL 效应的分析及建模

万璐绪, 杨建国, 柯导明\*, 吴笛, 杨菲, 陈甜

安徽大学电子工程与信息学院, 合肥 230601

\* 通信作者. E-mail: kedaoming@sohu.com

收稿日期: 2017-10-13; 接受日期: 2018-03-28; 网络出版日期: 2019-03-15

国家自然科学基金 (批准号: 61376098, 61076086) 资助项目

**摘要** 文章提出了高  $k + \text{SiO}_2$  栅 FD-SOI (fully depleted silicon-on-insulator) MOSFET, 开发了它的二维亚阈值区前栅表面电势、阈值电压和 DIBL (drain induced barrier lowering) 效应计算模型. 本文根据器件的结构和不同的介电常数, 将亚阈值区的 FD-SOI MOSFET 分成若干个不同的矩形等效源, 构建了这个多角形区域的 Poisson 方程和 Laplace 方程的二维边界值问题, 然后用分离变量法和特征函数展开法求出了模型的二维解. 计算结果表明, 高  $k + \text{SiO}_2$  栅能有效地抑制高  $k$  介电常数产生的 FD-SOI MOSFET 阈值电压退化, DIBL 效应加重, 以及 FIBL 效应. 由于这个模型列出的是线性代数方程组, 它的计算开销小, 因此这个半解析模型既可以用于 FD-SOI MOSFET 的模拟和仿真, 又可用做电路模拟器的器件模型.

**关键词** 高  $k + \text{SiO}_2$  栅, FD-SOI MOSFET, 阈值电压, DIBL 效应, 二维模型

## 1 引言

随着半导体技术的快速发展, 小尺寸效应已成为器件发展的限制性因素<sup>[1~3]</sup>, 为了减小这些效应对器件性能的影响, 新结构和新材料的器件不断涌现. SOI (silicon-on-insulator) MOSFET 因能有效地抑制小尺寸效应, 同时 SOI 层能堆砌三维集成电路, 而成为最有前途的 CMOS 器件之一. 研究人员和业界开发了诸多基于 SOI 结构的新型器件, 获得了广泛应用, FD (fully depleted) SOI MOSFET 就是其中之一<sup>[1,4~8]</sup>. 但是, 它与体硅 MOSFET 一样, 面临按比例缩小带来的难题<sup>[4,9,10]</sup>, 特别是 MOS 器件的特征尺寸进入纳米领域后, 低于 3 nm 厚度  $\text{SiO}_2$  栅氧化层在 1 V 的电压下, 也会产生指数上升的直接隧穿电流, 破坏了器件的导通特性, 成为 MOSFET 发展的瓶颈之一<sup>[11~13]</sup>. 因此, 选取适当的高  $k$  材料代替  $\text{SiO}_2$  作为栅介质层, 提高栅的物理厚度, 减小直接隧穿电流成为器件研究者的主要任务之一<sup>[13~15]</sup>.

**引用格式:** 万璐绪, 杨建国, 柯导明, 等. 高  $k + \text{SiO}_2$  栅 FD-SOI MOSFET 阈值电压和 DIBL 效应的分析及建模. 中国科学: 信息科学, 2019, 49: 342-360, doi: 10.1360/N112017-00200  
Wan L X, Yang J G, Ke D M, et al. Threshold voltage and DIBL effect analysis and modeling for FD-SOI MOSFET with high  $k + \text{SiO}_2$  gate (in Chinese). Sci Sin Inform, 2019, 49: 342-360, doi: 10.1360/N112017-00200

但是高  $k$  介质栅也有一些缺点. 首先, 高  $k$  介质与沟道硅膜之间存在大量的界面缺陷, 这使得沟道载流子迁移率下降<sup>[1,16]</sup>; 其次是高  $k$  栅产生的 FIBL (fringing induced barrier lowering) 效应<sup>[16~18]</sup>, 导致器件特性退化. 因此直接引入高  $k$  栅, 在抑制了栅极泄漏电流的同时, 会引起 MOSFET 阈值电压漂移和电流驱动能力下降等问题. Hamadeh 等认为高  $k$  介质层与沟道硅膜之间附加一层低  $k$  介质作为缓冲层, 可以降低高  $k$  栅带来的负面作用, 他们在文献 [19] 里用热动力学模型计算了加低  $k$  缓冲层体硅 MOSFET 的阈值电压. 这篇文章将高  $k$  + 低  $k$  介质栅结构应用到 FD-SOI MOSFET, 用  $\text{SiO}_2$  层作为低  $k$  介质, 讨论了高  $k$  +  $\text{SiO}_2$  栅 FD-SOI MOSFET 的阈值电压和 DIBL (drain induced barrier lowering) 特性. 文章还分析了 FIBL 效应形成的机理, 提出了它的边界条件, 更准确地描述了 FIBL 效应机制, 计算结果表明高  $k$  介质的介电常数导致器件的退化, 与栅的物理层厚度关系不大, 高  $k$  +  $\text{SiO}_2$  栅也能较好地克服 FIBL 效应对器件性能的不良影响.

由于 SOI MOSFET 结构复杂, 它的漏极电场、源极电场、前栅与背栅电场互相耦合, 直接影响栅表面势, 传统的一维模型计算精度低, 而数值解法过程复杂, 计算开销过大<sup>[14,20]</sup>, 因此诸多文献通过解二维 Poisson 方程和 Laplace 方程建立它的阈值电压模型. 通常有两个方法解高维偏微分方程边值问题: 一是用多元 Taylor 级数方法近似解偏微分方程<sup>[9,21]</sup>, 例如抛物线模型; 或是用分离变量法和 Green 函数法求解析解. 由于这两个方法求解的区域只能是规则的矩形、圆形或椭圆区域, 为了简化计算, 这些文献忽略叠栅影响, 将器件简化成矩形区域的边值问题, 然后再求解析解<sup>[8,22~24]</sup>, 所得到的解比一维模型的解更准确, 但并不是实际器件的计算结果. 为了更准确地分析器件特性, 文章考虑了实际器件的叠栅和不同性质的物理材料, 在多角形区域上建立了高  $k$  +  $\text{SiO}_2$  栅 FD-SOI MOSFET 的二维边值问题, 所得到的半解析解可准确计算它的亚阈值区表面势、阈值电压, 以及 DIBL 效应与 FIBL 效应的影响. 这个模型计算结果准确, 计算值与 SILVACO 软件模拟结果比较表明, 模型计算精度与数值解相同.

## 2 高 $k$ + $\text{SiO}_2$ 栅 FD-SOI MOSFET 亚阈值区半解析模型

### 2.1 高 $k$ + $\text{SiO}_2$ 栅 FD MOSFET 亚阈值区电势的边值问题

图 1 是高  $k$  +  $\text{SiO}_2$  栅 MOSFET 示意图, 设前栅电极和背栅衬底是欧姆接触, 只需取它的高  $k$  栅介质层、缓冲  $\text{SiO}_2$  层、硅膜和埋氧化层 4 个尺寸不同的矩形等效源分析 MOSFET 的工作状态, 对应的坐标系如图 2 所示. 图 2 中 I, II, III 和 IV 分别代表高  $k$  栅介质层、低  $k$  栅介质层、硅膜和埋氧化层 4 个子区域, 其厚度分别为  $t_k$ ,  $t_{\text{ox}}$ ,  $t_{\text{si}}$ ,  $t_b$ , 介电常数分别是  $\epsilon_k$ ,  $\epsilon_{\text{ox}}$ ,  $\epsilon_{\text{si}}$ ,  $\epsilon_b$ . 硅膜长度为  $2L_1$ , 源漏和栅交叠长度为  $\Delta L = L - L_1$ .

FD-SOI MOSFET 的背面有积累、耗尽和反型 3 种状态. 反型状态即使器件的前栅电压低于阈值电压, 器件仍然是导通的, 实际电路不能用这种方式工作. 背面全耗尽器件的漏极饱和电流比积累状态器件的饱和电流要大得多, 有速度快、电流驱动能力强的优势, 得到了广泛的应用. 因此 FD-SOI MOSFET 常用的工作状态是本文讨论的全耗尽状态.

设 FD-SOI MOSFET 是单栅  $n$  沟道晶体管, 背栅在零偏或小的反偏, 从器件的硅膜全耗尽开始, 直到器件的阈值状态结束, 器件工作在亚阈值区,  $\text{Si}$  膜里反型电子密度远小于空间电荷区中的固定电荷密度, 可以忽略不计.  $\text{Si-SiO}_2$  界面态引起 MOSFET 阈值电压的整体移动, 可等效为平带电压, 实际的阈值电压只需加上这个平带电压即可<sup>[25]</sup>, 计算时不考虑这个因素的影响. 综上所述, 区域 III 硅膜中电势分布可用只有固定正电荷的 Poisson 方程计算<sup>[25]</sup>. 又设栅介质层和埋氧化层中无固定电荷, 区

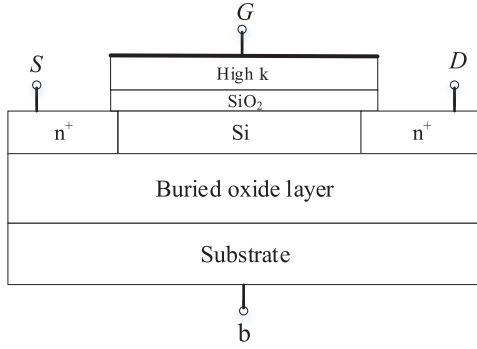


图 1 高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 结构示意图  
Figure 1 High k + SiO<sub>2</sub> gate FD-SOI MOSFET structure diagram

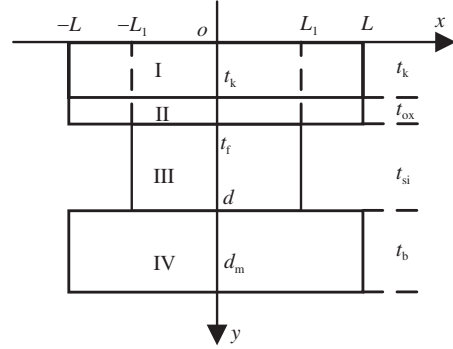


图 2 计算高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 的坐标系  
Figure 2 Calculates the coordinate system of the high k + SiO<sub>2</sub> gate FD-SOI MOSFET

域 I, II 和 IV 的电势分布可用 Laplace 方程计算。

设前栅与背栅 Si-SiO<sub>2</sub> 界面的表面势分别是  $\phi_f(x)$  和  $\phi_b(x)$ , 电极是金属电极, 根据图 2 的坐标系, 得到边值问题如下。

前栅除了外接栅压和衔接 SiO<sub>2</sub> 缓冲层外, 与其他区域没有耦合, 因此两侧边界的横向电场强度是零, I 区的边值问题是

$$\begin{cases} \frac{\partial^2 U_I(x, y)}{\partial x^2} + \frac{\partial^2 U_I(x, y)}{\partial y^2} = 0, \\ \frac{\partial U_I(x, y)}{\partial x} \Big|_{x=-L} = 0, \quad \frac{\partial U_I(x, y)}{\partial x} \Big|_{x=L} = 0, \\ U_I(x, y) \Big|_{y=0} = V_G, \end{cases} \quad (1)$$

其中,  $V_G$  为栅极电势,  $V_G = V_{gs} + \phi_{ms}$ ,  $\phi_{ms}$  是金属栅的功函数产生的附加电压, 不考虑栅功函数影响时  $\phi_{ms} = 0$ . 高 k 层与 SiO<sub>2</sub> 缓冲层的边界条件, 由衔接条件决定, 将在后面推导。

II 区的 SiO<sub>2</sub> 层除衔接高 k 介质层与 Si 膜外, 与其他区域也无耦合, 与 I 区类似, 可导出边值问题是

$$\begin{cases} \frac{\partial^2 U_{II}(x, y)}{\partial x^2} + \frac{\partial^2 U_{II}(x, y)}{\partial y^2} = 0, \\ \frac{\partial U_{II}(x, y)}{\partial x} \Big|_{x=-L} = 0, \quad \frac{\partial U_{II}(x, y)}{\partial x} \Big|_{x=L} = 0, \\ U_{II}(x, y) \Big|_{y=t_f} = \begin{cases} V_S, & -L \leq x \leq -L_1, \\ \phi_f(x), & -L_1 \leq x \leq L_1, \\ V_D, & L_1 \leq x \leq L, \end{cases} \end{cases} \quad (2)$$

其中,  $t_f = t_k + t_{ox}$ . FD-SOI MOSFET 的硅膜很薄, 而叠栅的长度较短, 故以下计算中都假定漏和源是等电势的, 其值为外加电势与体电势之和, 因此式 (2) 中源极电势是  $V_S = V'_S + \frac{kT}{q} \ln \frac{N_D}{n_i}$ , 漏区电势  $V_D$  为  $V_D = V'_D + \frac{kT}{q} \ln \frac{N_D}{n_i}$ . 其中  $V'_S, V'_D$  为源、漏电极的外加电势,  $N_D$  为源漏的掺杂浓度,  $n_i = 1.5 \times 10^{10} \text{ cm}^{-3}$  为硅本征载流子浓度,  $\frac{kT}{q} \ln \frac{N_D}{n_i}$  是源区和漏区的体电势。

又设 Si 膜是均匀掺杂的, 它连接了源极和漏极, 因此 III 区的边值问题是

$$\begin{cases} \frac{\partial^2 U_{\text{III}}(x, y)}{\partial x^2} + \frac{\partial^2 U_{\text{III}}(x, y)}{\partial y^2} = \frac{qN_A}{\varepsilon_{\text{si}}}, \\ \frac{\partial U_{\text{III}}(x, y)}{\partial x} \Big|_{x=-L_1} = V_S, \quad \frac{\partial U_{\text{III}}(x, y)}{\partial x} \Big|_{x=L_1} = V_D, \\ U_{\text{III}}(x, y) \Big|_{y=t_f} = \phi_f(x), \quad U_{\text{III}}(x, y) \Big|_{y=d} = \phi_b(x), \end{cases} \quad (3)$$

其中,  $d = t_f + t_{\text{si}}$ ,  $N_A$  为硅膜的掺杂浓度, 为一常数. 源和漏都是等电势, 分别是  $V_S$  和  $V_D$ .

IV 区的边值问题与 I 和 II 区的边值问题类似, 于是有

$$\begin{cases} \frac{\partial^2 U_{\text{IV}}(x, y)}{\partial x^2} + \frac{\partial^2 U_{\text{IV}}(x, y)}{\partial y^2} = 0, \\ \frac{\partial U_{\text{IV}}(x, y)}{\partial x} \Big|_{x=-L_1} = 0, \quad \frac{\partial U_{\text{IV}}(x, y)}{\partial x} \Big|_{x=L_1} = 0, \\ U_{\text{IV}}(x, y) \Big|_{y=d} = \begin{cases} V_S, & -L \leq x \leq -L_1, \\ \phi_b(x), & -L_1 \leq x \leq L_1, \\ V_D, & L_1 \leq x \leq L, \end{cases} \end{cases} \quad (4)$$

其中  $d_{\text{in}} = d + t_b$ ; 背栅电势为  $V_{\text{Gb}} = V_b + \frac{kT}{q} \ln \frac{N_A}{n_i}$ , 其中  $V_b$  为外加的衬底电势.

根据电势和电通量连续的原理, I 区和 II 区的衔接条件是

$$U_{\text{I}}(x, y) \Big|_{y=t_{\text{ox}}} = U_{\text{II}}(x, y) \Big|_{y=t_{\text{ox}}}, \quad (5)$$

$$\varepsilon_k \frac{\partial U_{\text{I}}(x, y)}{\partial y} \Big|_{y=t_k} = \varepsilon_{\text{ox}} \frac{\partial U_{\text{II}}(x, y)}{\partial y} \Big|_{y=t_k}. \quad (6)$$

II 区和 III 区的衔接条件是

$$\varepsilon_{\text{ox}} \frac{\partial U_{\text{II}}(x, y)}{\partial y} \Big|_{y=t_f} = \varepsilon_{\text{si}} \frac{\partial U_{\text{III}}(x, y)}{\partial y} \Big|_{y=t_f}. \quad (7)$$

III 区和 IV 区的衔接条件是

$$\varepsilon_{\text{si}} \frac{\partial U_{\text{III}}(x, y)}{\partial y} \Big|_{y=d} = \varepsilon_{\text{ox}} \frac{\partial U_{\text{IV}}(x, y)}{\partial y} \Big|_{y=d}. \quad (8)$$

解 III 区边值问题的特征方程

$$\frac{d^2 u}{dx^2} + \lambda u = 0, \quad u|_{x=-L_1} = 0, \quad u|_{x=L_1} = 0,$$

可得到 III 区特征函数系  $\{\sin \frac{k\pi}{2L_1}(x + L_1); k = 1, 2, 3, \dots\}$ . 前栅和背栅的表面势  $\phi_f(x)$  和  $\phi_b(x)$  用此特征函数系为基底, 可展开成广义 Fourier 级数. 表面势  $\phi_f(x)$  和  $\phi_b(x)$  满足的边界条件是  $\phi_f(-L_1) = V_S$ ,  $\phi_f(L_1) = V_D$ ,  $\phi_b(-L_1) = V_S$ ,  $\phi_b(L_1) = V_D$ . 于是得到

$$\phi_f(x) = V_S + \frac{V_D - V_S}{2L_1}(x + L_1) + \sum_{k=1}^{\infty} \sin \frac{kT(x + L_1)}{2L_1}, \quad (9)$$

$$\phi_b(x) = V_S + \frac{V_D - V_S}{2L_1}(x + L_1) + \sum_{k=1}^{\infty} \sin \frac{kT(x + L_1)}{2L_1}, \quad (10)$$

式 (9) 和 (10) 中的未知数  $a_k$  和  $b_k$  可代入边值问题的解中得到.

## 2.2 二维边界值问题的解

I 和 II 区方程用分离变量法可得到解是

$$U_{\text{I}} = V_{\text{G}} + A_0 y + \sum_{n=1}^{\infty} A_n \sinh \frac{n\pi y}{2L} \cos \frac{n\pi(x+L)}{2L}, \quad (11)$$

$$\begin{aligned} U_{\text{II}} = & C_0 \left[ 1 - \frac{y}{t_{\text{f}}} \right] + \left[ \frac{V_{\text{D}} + V_{\text{S}}}{2t_{\text{f}}} + \frac{L_1}{t_{\text{f}}L} \sum_{k=1}^{\infty} a_k \frac{1 - (-1)^k}{k\pi} \right] y \\ & + \sum_{n=1}^{\infty} C_n \frac{\sinh \frac{n\pi(t_{\text{f}}-y)}{2L}}{\sinh \frac{n\pi t_{\text{f}}}{2L}} \cos \frac{n\pi(x+L)}{2L} \\ & + \sum_{n=1}^{\infty} \frac{1}{L} \left( \gamma + \sum_{k=1}^{\infty} a_k \alpha_{kn} \right) \frac{\sinh \frac{n\pi y}{2L}}{\sinh \frac{n\pi t_{\text{f}}}{2L}} \cos \frac{n\pi(L-L_1)}{2L}, \end{aligned} \quad (12)$$

其中

$$\alpha_{kn} = \int_{-L_1}^{L_1} \sin \frac{k\pi(x+L_1)}{2L_1} \cos \frac{k\pi(x+L)}{2L} dx, \quad (13)$$

$$\gamma_{kn} = \frac{2L^2(V_{\text{D}} - V_{\text{S}})}{n^2\pi^2L_1} \left[ \cos \frac{k\pi(L+L_1)}{2L} \cos \frac{k\pi(L-L_1)}{2L} \right]. \quad (14)$$

将  $\phi_{\text{f}}(x)$  和  $\phi_{\text{b}}(x)$  表达式 (9) 和 (10) 代入 III 区方程式 (3), 用分离变量法解得 III 区电势是

$$\begin{aligned} U_{\text{III}} = & V_{\text{S}} + \frac{V_{\text{D}} - V_{\text{S}}}{2L_1} - \sum_{n=1}^{\infty} \frac{qN_{\text{A}}}{\varepsilon_{\text{si}}} \frac{8L_1^2}{n^3\pi^3} [1 - (-1)^n] \sin \frac{n\pi}{2L_1} (x+L_1) \\ & + \sum_{n=1}^{\infty} \frac{qN_{\text{A}}}{\varepsilon_{\text{si}}} \frac{8L_1^2}{n^3\pi^3} [1 - (-1)^n] \frac{\cosh \frac{n\pi(d+t_{\text{f}}-2y)}{4L_1}}{\cosh \frac{n\pi(d+t_{\text{f}})}{4L_1}} \sin \frac{n\pi}{2L_1} (x+L_1) \\ & + \sum_{n=1}^{\infty} \sum_{k=1}^{\infty} \frac{1}{L} b_k \beta_{kn} \frac{\sinh \frac{n\pi(y-t_{\text{f}})}{2L_1}}{\sinh \frac{n\pi(d-t_{\text{f}})}{2L_1}} \sin \frac{n\pi}{2L_1} (x+L_1) \\ & + \sum_{n=1}^{\infty} \sum_{k=1}^{\infty} \frac{1}{L} a_k \beta_{kn} \frac{\sinh \frac{n\pi(d-y)}{2L_1}}{\sinh \frac{n\pi(d-t_{\text{f}})}{2L_1}} \sin \frac{n\pi}{2L_1} (x+L_1), \end{aligned} \quad (15)$$

其中

$$\beta_{kn} = \int_{-L_1}^{L_1} \sin \frac{k\pi(x+L_1)}{2L_1} \sin \frac{k\pi(x+L_1)}{2L_1} dx. \quad (16)$$

式 (10) 代入方程 (4), 并用分离变量法解得 IV 区电势是

$$\begin{aligned} U_{\text{IV}} = & V_{\text{Gb}} + \left( \frac{V_{\text{D}} + V_{\text{S}}}{2} - V_{\text{Gb}} \right) \frac{y - d_{\text{m}}}{d - d_{\text{m}}} + \left\{ \sum_{n=1}^{\infty} \frac{L_1 [1 - (-1)^k]}{(d - d_{\text{m}}) L k \pi} \right\} y \\ & + \sum_{n=1}^{\infty} \frac{2L(V_{\text{D}} - V_{\text{S}})}{n^2\pi^2L_1} \left[ \cos \frac{n\pi(L+L_1)}{2L} - \cos \frac{n\pi(L-L_1)}{2L} \right] \frac{\sinh \frac{n\pi(y-d_{\text{m}})}{2L}}{\sinh \frac{n\pi(d-d_{\text{m}})}{2L}} \cos \frac{n\pi}{2L_1} (x+L_1) \\ & + \sum_{n=1}^{\infty} \sum_{k=1}^{\infty} \frac{b_k \alpha_{kn}}{L} \frac{\sinh \frac{n\pi(y-d_{\text{m}})}{2L}}{\sinh \frac{n\pi(d-d_{\text{m}})}{2L}} \cos \frac{n\pi}{2L_1} (x+L_1). \end{aligned} \quad (17)$$

上述各式中的未知数  $A_i$  ( $i = 0, 1, 2, \dots$ ),  $C_i$  ( $i = 0, 1, 2, \dots$ ),  $a_i$  ( $i = 1, 2, \dots$ ) 和  $b_i$  ( $i = 1, 2, \dots$ ), 可用衔接条件式 (5)~(8) 列线性代数方程组解出.

### 2.3 解的线性代数方程组

式 (11) 和 (12) 代入衔接条件式 (5) 得到一个超越方程, 用 I 和 II 区的特征函数  $\{\cos \frac{n\pi(x+L)}{2L}; n = 0, 1, 2, \dots\}$  展开这个超越方程, 得到线性代数方程组

$$A_0 t_k + C_0 \left( \frac{t_k}{t_f} - 1 \right) - \frac{t_k L_1}{t_f L} \sum_{k=1}^{\infty} a_k \frac{1 - (-1)^k}{k\pi} = \frac{(V_D + V_S)t_k}{2t_f} - V_G, \quad (18)$$

$$A_j - C_j \frac{\sinh \frac{j\pi(t_f - t_k)}{2L}}{\sinh \frac{j\pi t_f}{2L} \sinh \frac{j\pi t_k}{2L}} - \frac{1}{L} \sum_{k=1}^{\infty} \frac{a_k \alpha_{kj}}{\sinh \frac{j\pi t_f}{2L}} = \frac{\gamma_j}{L \sinh \frac{j\pi t_f}{2L}} \quad (j = 1, 2, 3, \dots). \quad (19)$$

同理, 将  $U_I$  和  $U_{II}$  求导代入式 (6), 得到方程, 再用  $\{\cos \frac{n\pi(x+L)}{2L}; n = 0, 1, 2, \dots\}$  展开所得到的方程, 有线性方程组

$$A_0 \frac{\varepsilon_k}{\varepsilon_{si}} + \frac{C_0}{t_f} - \frac{1}{t_f} \frac{L_1}{L} \sum_{k=1}^{\infty} \frac{1 - (-1)^k}{k\pi} a_k = \frac{V_D + V_S}{2t_f}, \quad (20)$$

$$A_j \frac{\varepsilon_k}{\varepsilon_{ox}} \frac{j\pi}{L} + C_j \frac{j\pi \cosh \frac{j\pi(t_f - t_k)}{2L}}{2L \sinh \frac{j\pi t_f}{2L} \cosh \frac{j\pi t_k}{2L}} - \frac{j\pi}{2L^2} \frac{a_k \alpha_{kj}}{\sinh \frac{j\pi t_f}{2L}} = \frac{j\pi \gamma_j}{2L^2 \sinh \frac{j\pi t_f}{2L}} \quad (j = 1, 2, 3, \dots). \quad (21)$$

III 和 IV 区电势的导数代入式 (7), 再用 III 区特征函数系  $\{\sin \frac{k\pi}{2L_1}(x + L_1); k = 1, 2, 3, \dots\}$  展开所得到的方程, 有线性方程组

$$\begin{aligned} & -C_0 \left[ \frac{1}{t_f} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{j\pi}{2L_1} \right] + \sum_{n=1}^{\infty} C_n \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{n\pi}{2L} \frac{-\alpha_{jn}}{\sinh \frac{n\pi t_f}{2L}} + \sum_{k=1}^{\infty} a_k \left[ \frac{2L_1}{t_f L} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{1 - (-1)^k}{k\pi} \frac{1 - (-1)^j}{k\pi} \right. \\ & \left. + \sum_{n=1}^{\infty} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{n\pi}{2L^2} \alpha_{kn} \alpha_{jn} \coth \frac{n\pi t_f}{2L} + \frac{j\pi}{2L_1} \beta_{kj} \coth \frac{n\pi(d - t_f)}{2L_1} \right] + \sum_{k=1}^{\infty} b_k \frac{-j\pi \beta_{kj}}{2L_1 \sinh \frac{n\pi(d - t_f)}{2L_1}} \\ & = -\frac{qN_A}{\varepsilon_{si}} \frac{4L_1^2}{n^2 \pi^2} \frac{j\pi}{2L_1} [1 - (-1)^j] \tanh \frac{j\pi(d - t_f)}{4L_1} - \frac{V_D + V_S}{j\pi} \frac{L_1}{t_f} \frac{\varepsilon_{ox}}{\varepsilon_{si}} [1 - (-1)^j] \\ & - \sum_{n=1}^{\infty} \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{n\pi}{2L^2} \gamma_n \alpha_{jn} \coth \frac{n\pi(d - t_f)}{2L_1} \quad (j = 1, 2, 3, \dots). \end{aligned} \quad (22)$$

$U_{III}$  和  $U_{IV}$  求导代入衔接条件 (8), 用  $\{\sin \frac{k\pi}{2L_1}(x + L_1); k = 1, 2, 3, \dots\}$  展开, 有线性方程组

$$\begin{aligned} & \sum_{k=1}^{\infty} a_k \frac{j\pi}{2L_1} \frac{\beta_{kj}}{\sinh \frac{n\pi(d - t_f)}{2L_1}} + \sum_{k=1}^{\infty} b_k \frac{\varepsilon_{ox}}{\varepsilon_{si}} \left\{ \frac{\varepsilon_{ox}}{\varepsilon_{si}} \frac{2L_1^2 [1 - (-1)^k] [1 - (-1)^j]}{(d - d_m) L k j \pi^2} \right. \\ & \left. + \sum_{n=1}^{\infty} \frac{\varepsilon_{ox} n \pi \alpha_{kn} \alpha_{jn}}{\varepsilon_{si} 2L_1^2} \coth \frac{n\pi(d - t_f)}{2L_1} - \frac{j\pi}{2L_1} \coth \frac{n\pi(d - t_f)}{2L_1} \beta_{kj} \right\} \\ & = \frac{\varepsilon_{ox}}{\varepsilon_{si}} (2V_{Gb} + V_D - V_S) \frac{2L_1 [1 - (-1)^j]}{(d - d_m) j \pi} + \frac{qN_A}{\varepsilon_{si}} \frac{4L_1^2 [1 - (-1)^j]}{n^2 \pi^2} \tanh \frac{j\pi(d - t_f)}{4L_1} \\ & - \frac{\varepsilon_{ox}}{\varepsilon_{si}} \sum_{n=1}^{\infty} \frac{V_D - V_S}{n\pi L_1} \left[ \cos \frac{n\pi(L + L_1)}{2L} - \cos \frac{n\pi(L - L_1)}{2L} \right] \tanh \frac{n\pi t_f}{2L} \alpha_{jn} \quad (j = 1, 2, 3, \dots). \end{aligned} \quad (23)$$

解方程组 (18)~(23), 可得到所需的未知数. 实际计算时  $j$  不能取无穷多个,  $j$  的最大值是  $j_{\max}$ .  $j_{\max}$  是所要求解的  $A_i$ ,  $C_i$ ,  $a_i$  和  $b_i$  的总和. 由于式 (18)~(23) 是线性代数方程组, 一般情况下解存在. 将线性方程组的解  $A_i$ ,  $C_i$ ,  $a_i$  和  $b_i$  再代入电势解 (11), (12), (15) 和 (17), 就得到二维电势, 代入到式 (9) 和 (10) 得到前栅和背栅界面的电势.

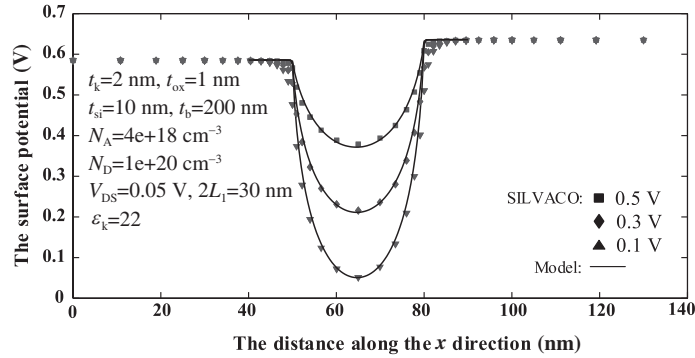


图 3  $\epsilon_k = 22$  高 k 介质的  $k + \text{SiO}_2$  栅 FD-SOI MOSFET 前栅表面势随栅极电压的变化

Figure 3  $\epsilon_k = 22$  high k dielectric high k + SiO<sub>2</sub> gate FD-SOI MOSFET front gate surface potential with the gate voltage changes

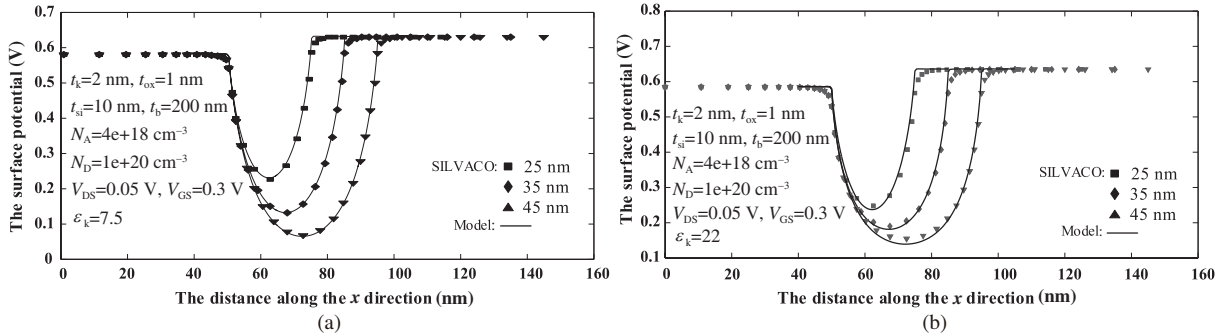


图 4 高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 前栅表面势沿沟道长度的分布

Figure 4 High k + SiO<sub>2</sub> gate FD-SOI MOSFET front gate surface potential along the channel length distribution. (a)  $\epsilon_k = 7.5$  medium; (b)  $\epsilon_k = 22$  medium

只要取  $\epsilon_k = \epsilon_{\text{si}}$ , 并赋予不同的数值, 上述各式又可以作为高 k 栅或者 SiO<sub>2</sub> 栅的 FD-SOI MOSFET 的计算模型.

### 3 亚阈值区的沟道表面电势及其阈值电压模型

用式 (9) 计算了高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 在亚阈值区, 不同栅压下前栅表面势, 并将计算值与 SILVACO 仿真结果做比较, 对比情况如图 3 和 4 所示. 图中曲线显示二维模型计算值与数值模拟值一致, 模型计算值准确地表达了亚阈值区前栅表面势的特性.

图 3 是高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 在栅极电压为 0.1, 0.3 和 0.5 V 时沟道表面势. 图 3 曲线显示了 MOSFET 的表面电势随外加栅电压  $V_{\text{GS}} = V_{\text{G}} - V_{\text{S}}$  增加整体向上移动, 即表面势随着栅电压增加而增大; 其次是图中表面势的形状类似二次曲线, 有且仅有一个最小值.

图 4 是不同栅介电常数和不同沟道长度, 而其他参数都相同的 FD-SOI MOSFET 表面势沿沟道长度方向的分布情况. 图中曲线显示了, 尽管栅介质和沟道长度不同, 漏电压  $V_{\text{DS}}$  较小时, 前栅表面电势沿沟道的分布是有唯一最小值点类似二次曲线的形状, 最小值位置基本上都保持在沟道中间位置, 这个规律是与体硅 MOSFET 情况相同的 [26]. 改变 Si 膜掺杂浓度和厚度以及其他参数, 发现器件的

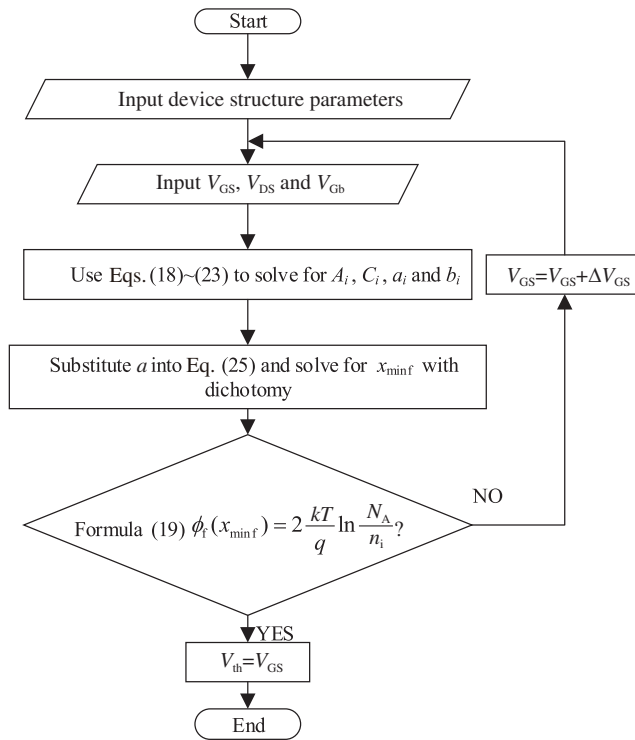


图 5 高 k 和高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 的阈值电压算法流程图

Figure 5 High k and high k + SiO<sub>2</sub> gate FD-SOI MOSFET threshold voltage algorithm flow chart

亚阈值区表面势的曲线与图 3 和 4 类似, 这里不再列举. 表面势的这个性质可用于 FD-SOI MOSFET 阈值电压的计算.

注意到极值存在的必要条件是  $\frac{d\phi_f(x)}{dx}|_{x=x_0} = 0$ , 根据这个条件无法判断极值  $\phi_f(x_0)$ . 但是从图 3 和 4 可知,  $\phi_f(x_0)$  一定是前栅表面势  $\phi_f(x)$  最小值点电势.

MOSFET 的阈值电压  $V_{th}$  是沟道临界导通时外加的栅源电压. 从式 (9) 和上面对前栅表面势计算的结果可知, 沟道电势并不是常数, 而是沟道坐标的函数. 定义沟道电势最小值等于 2 倍体费米势时的栅源电压是 MOSFET 的阈值电压<sup>[1]</sup>, 即阈值电压  $V_{th}$  是前栅表面势

$$\phi_f(x_{minf}) = 2 \frac{kT}{q} \ln \frac{N_A}{n_i} \tag{24}$$

的外加栅源电压  $V_{GS}$ , 式中  $x_{minf}$  最小值的坐标. 从上面的分析可知, 前栅沟道表面电势的最小值位置可从  $\frac{d\phi_f(x)}{dx}|_{x=x_{minf}} = 0$  求出, 于是得到最小值点的表达式是

$$\frac{V_D - V_S}{2L_1} + \sum_{k=1}^{k_{max}} \frac{k\pi}{2L_1} a_k \cos \frac{k\pi(x_{minf} + L_1)}{2L_1} = 0. \tag{25}$$

上式是超越方程, 用二分法可求出它的零点  $x_{minf}$ . 于是求阈值电压  $V_{th}$  的算法如图 5 所示, 这是一个迭代过程, 由于所解的方程都是线性方程组, 迭代是收敛的.



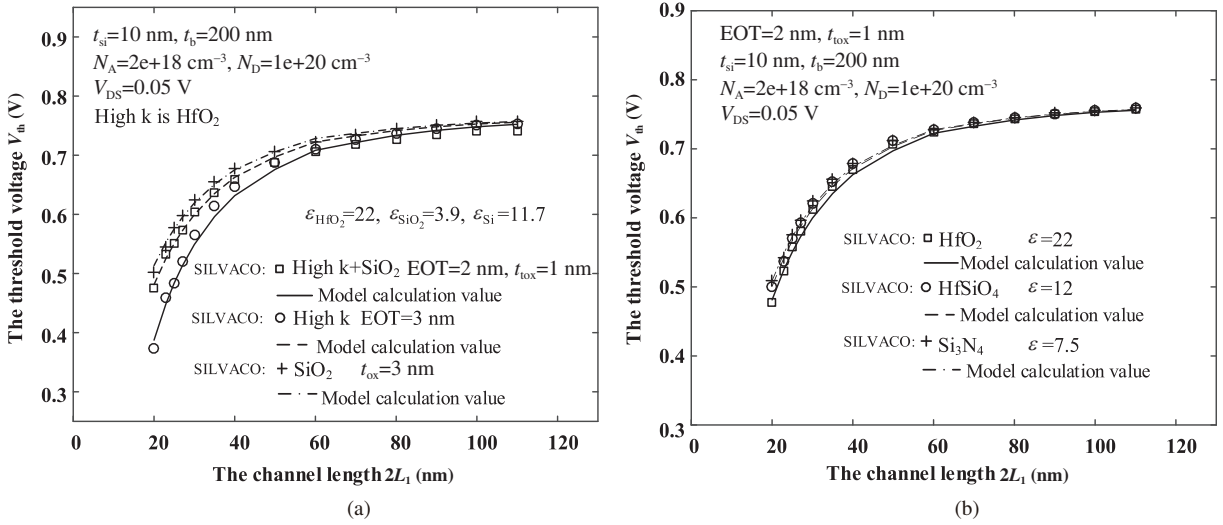


图 6 (a) 高 k 栅、高 k + SiO<sub>2</sub> 栅和 SiO<sub>2</sub> 栅的 FD-SOI MOSFET 阈值电压与沟道长度关系; (b) 不同介质的 高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 阈值电压与沟道长度关系

**Figure 6** (a) High k gate, high k + SiO<sub>2</sub> gate and SiO<sub>2</sub> gate FD-SOI MOSFET threshold voltage and channel length relationship; (b) the relationship between threshold voltage and channel length of high k + SiO<sub>2</sub> gate FD-SOI MOSFET with different media

#### 4 高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 阈值电压和 DIBL 效应的计算与分析

本节计算高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 阈值电压和 DIBL 特性, 计算值与 SILVACO 软件模拟结果标注在同一幅图上做了对比, 计算的 MOSFET 栅宽度取 1  $\mu$ m. 本节根据计算结果, 还解释了高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 的优势. 计算与对比都没有考虑功函数和界面态, 若考虑这两个因素, 只需将它们作为平带电压, 直接与计算值相加即可 [25].

先介绍等效栅氧化层厚度. 没有栅泄漏电流的最小 SiO<sub>2</sub> 栅氧化层厚度 [18] 是

$$t_{ox} = 3 \text{ nm}. \quad (26)$$

如果高 k 介质栅与 SiO<sub>2</sub> 栅有相同的栅电容, 称为等电容设计. 如果厚度为  $t_k$  的高 k 材料平行板电容与厚度为 EOT' 的 SiO<sub>2</sub> 材料平行板电容相等, 则有 [27]

$$EOT' = t_k \frac{\epsilon_{ox}}{\epsilon_k},$$

其中  $\epsilon_{ox}$  和  $\epsilon_k$  分别是高 k 材料和 SiO<sub>2</sub> 材料的介电常数. 定义 EOT 是等栅电容设计的高 k + SiO<sub>2</sub> 栅的厚度 [27], 其表达式是

$$EOT = EOT' + t_{ox} = t_k \frac{\epsilon_{ox}}{\epsilon_k} + t_{ox}, \quad (27)$$

其中  $t_{ox}$  是高 k + SiO<sub>2</sub> 栅的 SiO<sub>2</sub> 材料厚度. 上式表明, 等栅电容厚度是根据无穷长的平行板电容器导出的, 没有考虑平行板电容器的边缘效应.

##### 4.1 高 k 栅 FD-SOI MOSFET 阈值电压的计算与分析

受到图尺寸的限制, 本小节图中标注的介电常数都是相对介电常数, 省略了真空介电常数  $\epsilon_0$ , 例如  $\epsilon_{SiO_2} = 3.9$  是指  $\epsilon_{SiO_2} = 3.9\epsilon_0$ . 已经应用的高 k 材料 HfO<sub>2</sub>, HfSiO<sub>4</sub> 和 Si<sub>3</sub>N<sub>4</sub> 制作的高 k + SiO<sub>2</sub> 栅 FD-SOI MOSFET 阈值电压与材料和结构的关系显示在图 6 和 7 中.

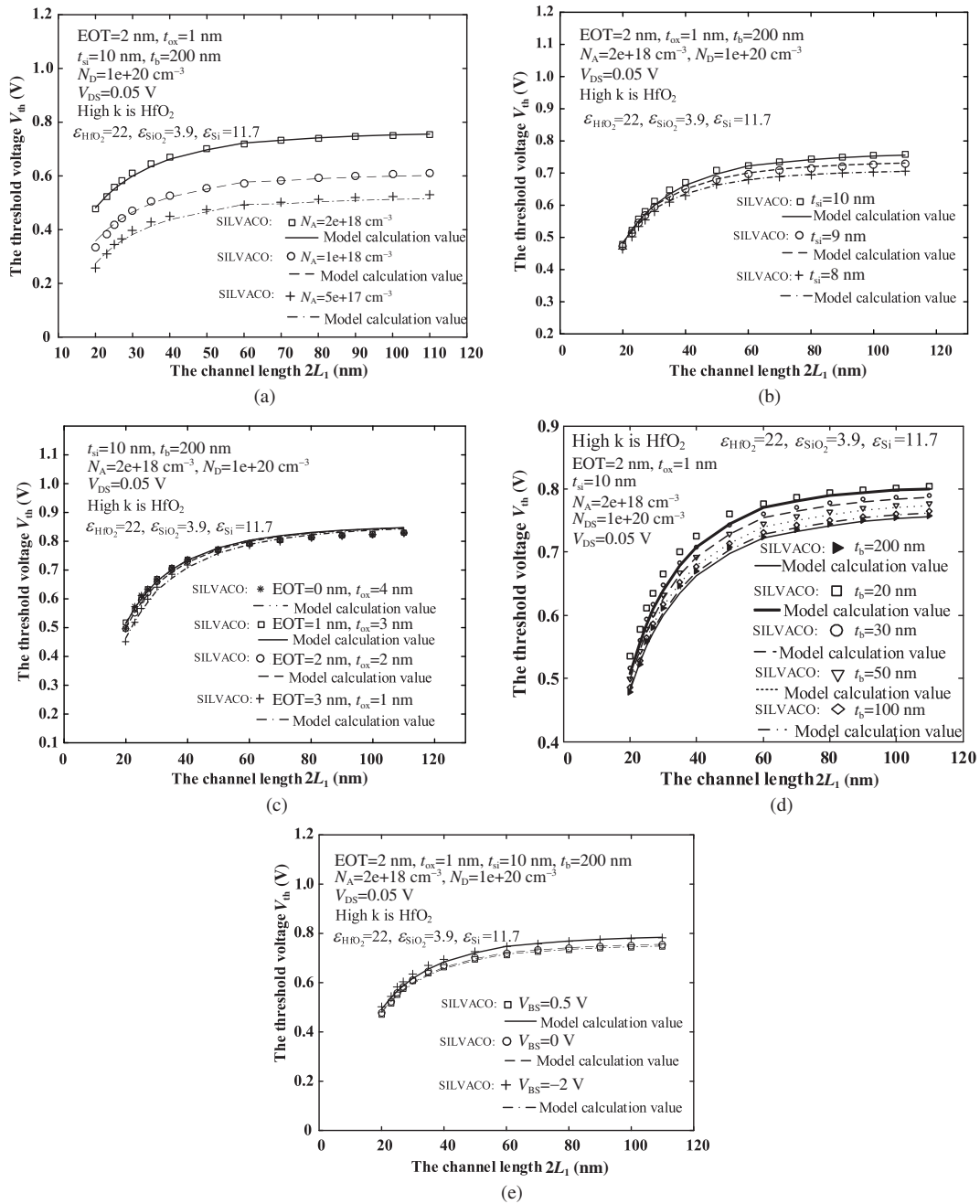


图 7 FD-SOI MOSFET 阈值电压与器件的物理结构和材料参数的关系

Figure 7 FD-SOI MOSFET threshold voltage and the device's physical structure and material parameters of the relationship. (a) High k gate material unchanged, change the Si film doping concentration; (b) all parameters remain unchanged, only change the thickness of the Si film; (c) high k material unchanged, only change the ratio of high k layer and SiO<sub>2</sub> layer; (d) the high k material and device structure remain unchanged, changing only the back gate oxide thickness; (e) high k material and structure unchanged, plus different back gate voltage

图 6(a) 是 EOT = 3 nm 的高 k 栅、高 k + SiO<sub>2</sub> 栅和 SiO<sub>2</sub> 栅的 FD-SOI MOSFET 阈值电压与沟道长度关系. 图 6(b) 是改变介电常数, 高 k + SiO<sub>2</sub> FD-SOI MOSFET 的阈值电压与沟道长度关系. 图 6

的模型计算值与数值模拟结果完全一致, 最大误差仅 0.31%. 从图 6 可见, MOSFET 沟道小于 80 nm 后, 短沟道效应明显, 特别是在沟道长度小于 40 nm 后, 阈值电压随着沟道长度缩短急剧减小. 高 k 栅材料 MOSFET 的阈值电压随着沟道减少的速率最快, HfO<sub>2</sub> + SiO<sub>2</sub> 栅的阈值电压下降速度比高 k 材料栅小得多, 减小了高 k 栅材料导致的器件性能退化, 4.2 小节将详细讨论高 k 栅介质引起阈值电压退化的原因.

图 7 显示了 FD-SOI MOSFET 用高 k 材料 HfO<sub>2</sub>, 改变硅膜掺杂浓度、硅膜和高 k 材料厚度、外加背栅电压和背栅厚度时, 阈值电压与沟道长度关系的模型计算值与 SILVACO 模拟值的对比. 图 7(a) 与 (b) 显示了改变硅膜掺杂浓度和硅膜厚度, 固定正电荷变化, 阈值电压随之而变; 图 7(c) 反映了改变高 k + SiO<sub>2</sub> 的 SiO<sub>2</sub> 层厚度, 栅电容变化, 阈值电压也相应变化; 图 7(d) 和 (e) 显示背栅对阈值电压的耦合, 掩埋氧化层厚度和背栅偏压改变, 将改变硅膜电势分布, 达到表面势最小值的栅源电压随之而变, 因此阈值电压随之而变.

图 6 和 7 中模型计算值与数值计算结果非常接近, 半解析解精度与数值解的精度相同. 图 6 和第 3 节表面势的计算结果表明, 模型很好地反映了器件的特性. 可用于小尺寸 FD-SOI MOSFET 亚阈值表面势和阈值电压的计算与特性分析, 其精度是一般解析模型难以比拟的.

#### 4.2 高 k 介电常数对阈值电压的影响

现在讨论图 6 和 7 显示的高 k 栅材料引起 FD-SOI MOSFET 阈值电压退化的原因. 设器件满足式 (27) 所定义的等电容设计规则. 为了分析清晰, 假设有介电常数超过 HfO<sub>2</sub> 的材料存在, 因此相对介电常数超过 22 直至 70. 图 8 是等栅电容 FD-SOI MOSFET 介电常数和器件结构与阈值电压关系的模型计算值. 图 8(a) 是沟道长度 60 nm 的高 k 栅和高 k + SiO<sub>2</sub> 栅 MOSFET 的栅介电常数与阈值电压关系, 从图 6 可知, 60 nm 的 MOSFET 阈值电压短沟道效应较小, 近似为长沟道器件. 高 k 介电常数变化时, 高 k 栅 MOSFET 阈值电压 (实线) 减少 0.12 V, 而高 k + SiO<sub>2</sub> 栅 MOSFET 阈值电压 (点划线) 仅减小 0.0301 V. 图 8(b) 是沟道长度为 20 nm 的 MOSFET 阈值电压与栅介电常数关系. 图 8(b) 显示了阈值电压在全高 k 栅结构中减少到 -0.0257 V, 共减少 0.5231 V; 而高 k + SiO<sub>2</sub> 栅 MOSFET 的阈值电压仅减少 0.0789 V. 图 8(c) 显示不同厚度的高 k + SiO<sub>2</sub> MOSFET 阈值电压随沟道减小的情况. 很明显, 介电常数相同时, 高 k + SiO<sub>2</sub> 栅 MOSFET 的阈值电压大于高 k 栅 MOSFET 的阈值电压, 下面分析图 8 现象出现的原因.

注意式 (1) 和 (2) 给出了栅介质的边界条件是  $\frac{\partial u_{1,II}}{\partial x}|_{x=-L_1} = 0$  和  $\frac{\partial u_{1,II}}{\partial x}|_{x=L_1} = 0$ , 即栅介质的外法向电场强度为零, 这表明计算中仅考虑 FD-SOI MOSFET 材料对阈值电压的影响, 而不计算栅与周围隔离层材料和源/漏的耦合. 这些边界条件与文献 [16,17] 所介绍的 FIBL 效应的产生的机制是有些区别的. 一般认为 FIBL 效应是高 k 栅介质的物理层厚度过高, 导致电力线从边界外侧穿出进入漏极和源极, 引起源漏结区势垒高度降低 [16,17]. 所以, 为了计算阈值电压随着介电常数变化, 两侧边界的法向导数 (电力线) 不能为零. 而这里引入的边界条件表示栅极的电力线并没有越过边界外法向进入源极和漏极, 因此阈值电压的降低也不是高 k 栅介质的物理厚度过高引起的.

现在解释栅介质两侧法向导数为零的边界条件形成原因. 电荷在导体表面分布情况与其形状的曲率有关, 其密度与表面曲率成正比, 边缘处的曲率大, 因此它的电荷密度大于表面平缓处的密度, 故栅电极两侧的电荷密度高于中央位置. 这种情况用等效电容表示就是除了栅的平行板电容器外, 栅两侧还附加了两个边缘电容, 边缘电容两极产生的电力线直接由边缘电容内部, 从栅极两侧边缘进入漏和源极, 降低了漏/源结区势垒高度, 引起阈值电压下降. 图 9(a) 和 (b) 是这两种情况微观机制示意图. 图 9(a) 是栅两侧泄漏的电力线进入漏/源与介质厚度和栅周围介质有关; 而图 9(b) 的电力线直接从

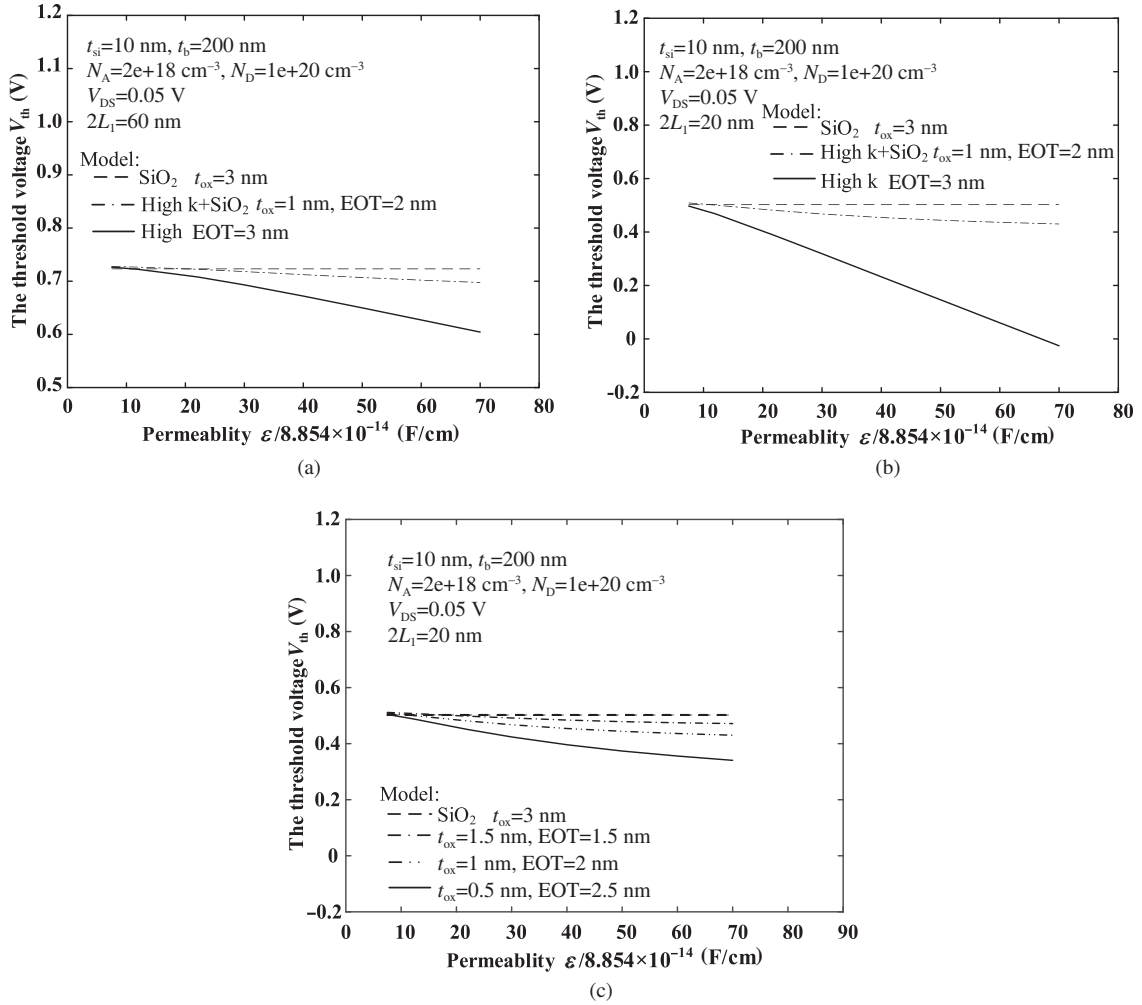


图 8 高 k+SiO<sub>2</sub> 栅 FD-SOI MOSFET 的阈值电压与介电常数关系, 横坐标是高 k 物质的介电常数  
**Figure 8** High k + SiO<sub>2</sub> gate FD-SOI MOSFET threshold voltage and dielectric constant relationship, the abscissa is the high k material dielectric constant. (a) Long channel (60 nm) situation; (b) the channel length is 20 nm short channel condition; (c) different thickness of the high k + SiO<sub>2</sub> gate, the channel length is 20 nm situation

边缘进入源/漏极, 是器件的本征效应, 它主要来自于边缘电容的影响, 与栅周围介质和物理层厚度关系不大.

下面分析 SiO<sub>2</sub> 栅、高 k 栅和高 k + SiO<sub>2</sub> 栅的边缘电容对栅电容和阈值电压的影响. 有限尺寸栅的电容由平行板和边缘电容组成, 如果计入边缘电容, 单位栅长电容将增大, 附录 A 推导了等电容设计规则的不同介质的这个电容值. SiO<sub>2</sub> 栅介质电容是

$$C_{ox} = \epsilon_{ox} \left[ \frac{1}{t_{ox}} + \frac{1}{\pi l w} \ln \frac{2\pi w}{t_{ox}} \right] = C_0 \left[ 1 + \frac{t_{ox}}{\pi l w} \ln \frac{2\pi l}{t_{ox}} \right], \quad (28)$$

其中  $C_0 = \frac{\epsilon_{ox}}{t_{ox}}$ , 称作栅的本征电容.  $l$  和  $w$  分别是沟道长和宽. 高 k 栅电容是

$$C_k = \epsilon_k \left[ \frac{1}{t_k} + \frac{1}{\pi l w} \ln \frac{2\pi w}{t_k} \right] = C_0 \left[ 1 + \frac{t_{ox}}{\pi l w} \frac{\epsilon_k}{\epsilon_{ox}} \left( \ln \frac{2\pi w}{t_{ox}} - \ln \frac{\epsilon_k}{\epsilon_{ox}} \right) \right]. \quad (29)$$

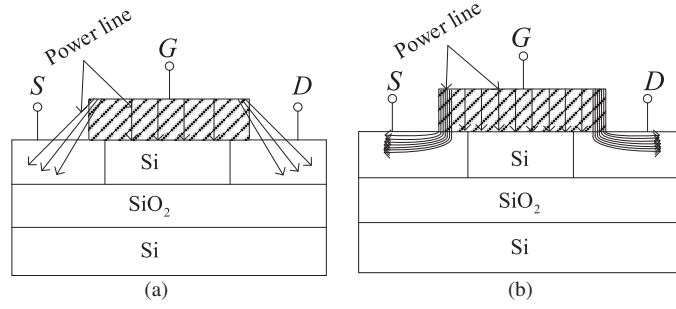


图 9 (a) 栅两侧泄漏电力线的示意图; (b) 本文所讨论的边缘效应

**Figure 9** (a) The diagrammatic sketch for the leakage electric field intensity of two sides between the gate; (b) the edge effect discussed in the paper

 表 1  $\text{SiO}_2$  栅、高  $k + \text{SiO}_2$  栅和高  $k$  栅的单位面积栅电容

**Table 1** Capacitor capacitance per unit area of  $\text{SiO}_2$  gate, high  $k + \text{SiO}_2$  gate and high  $k$  gate

Channel length ( $l$ )	110 nm	20 nm
Gate capacitance of $\text{SiO}_2$ ( $C_{\text{ox}}$ )	$(1+0.0664)C_0$	$(1+0.365)C_0$
Gate capacitance of high $k + \text{SiO}_2$ ( $C_{k+\text{SiO}_2}$ )	$(1+0.157)C_0$	$(1+0.637)C_0$
Gate capacitance of high $k$ ( $C_k$ )	$(1+0.295)C_0$	$(1+1.623)C_0$

高  $k + \text{SiO}_2$  栅的等效电容为

$$C_{k+\text{SiO}_2} = \frac{C_0 \left[ \frac{1}{1-\alpha} + \frac{\varepsilon_k}{\varepsilon_{\text{ox}}} \frac{t_{\text{ox}}}{\pi l w} \ln \frac{2\pi w}{t_{\text{ox}}} \right]}{\left[ \frac{1}{1-\alpha} + \alpha \frac{\varepsilon_k}{\varepsilon_{\text{ox}}} \frac{t_{\text{ox}}}{\pi l w} \ln \frac{2\pi w}{t_{\text{ox}}} \right]} = C_0 \left[ 1 + \frac{(1+\alpha)^2 \frac{\varepsilon_k}{\varepsilon_{\text{ox}}} \frac{t_{\text{ox}}}{\pi l w} \ln \frac{2\pi w}{t_{\text{ox}}}}{1 + \alpha(1+\alpha) \frac{\varepsilon_k}{\varepsilon_{\text{ox}}} \frac{t_{\text{ox}}}{\pi l w} \ln \frac{2\pi w}{t_{\text{ox}}}} \right], \quad (30)$$

式 (28)~(30) 里参数的定义见附录 A.

比较式 (28)~(30) 可知, 考虑边缘电容后, 式 (27) 表示的等电容设计规则不再成立. 取栅宽度  $w = 1 \mu\text{m}$ ,  $t_{\text{ox}} = 1 \text{ nm}$  和  $\varepsilon_{\text{si}} = 3.9\varepsilon_0$ , 高  $k$  材料是  $\text{HfO}_2$ ,  $\varepsilon_{\text{si}} = 22\varepsilon_0$ . 表 1 列出了  $\text{SiO}_2$  栅、高  $k + \text{SiO}_2$  栅和高  $k$  栅的栅电容计算值. 表 1 和电容表达式都表明, 3 种结构的栅电容的关系是  $C_{\text{ox}} < C_{k+\text{SiO}_2} < C_k$ . 当沟道长度很短时, 例如 20 nm 时, 边缘电容不容忽视, 高  $k$  栅边缘电容甚至超过栅的本征电容, 为  $\text{SiO}_2$  栅本征电容的 1.623 倍; 而高  $k + \text{SiO}_2$  栅的边缘电容是  $\text{SiO}_2$  栅本征电容的 0.637 倍, 比高  $k$  栅电容小的多.

$n$  沟道 FD-SOI MOSFET,  $V_{\text{th}}$  与栅电容的关系是 [28]

$$V_{\text{th}} \propto \left( 1 + \frac{\varepsilon_{\text{si}}}{t_{\text{si}} C_g} \right) 2\phi_F + \frac{qN_A t_{\text{si}}}{2C_g}, \quad (31)$$

式中  $\phi_F$  是体费米势.  $C_g$  是栅电容, 在  $\text{SiO}_2$  栅、高  $k$  栅和高  $k + \text{SiO}_2$  栅结构中分别是  $C_{\text{ox}}$ ,  $C_k$  和  $C_{k+\text{SiO}_2}$ , 将它们代入上式, 结合 (28)~(30) 和表 1, 有以下结论.

(1) 等栅电容设计中, 3 种情况的栅电容并不相等, 由于  $C_k$  最大, 阈值电压减少最多, 因此, 高  $k$  栅使 FD-SOI MOSFET 阈值电压性能退化.

(2) 沟道长度  $l \rightarrow \infty$ ,  $C_{\text{ox}} = C_k = C_{k+\text{SiO}_2}$ , 长沟道情况高  $k$  栅的影响小.  $C_k$  随着沟道减小而迅速增加,  $V_{\text{th}}$  将减小. 由于介电常数大的高  $k$  栅电容最大, 高  $k$  材料加重 FD-SOI MOSFET 的短沟道效应. 但是,  $C_k > C_{k+\text{SiO}_2}$ , 因此高  $k+\text{SiO}_2$  栅 MOSFET 的  $V_{\text{th}}$  随着介电常数增加而减小的速率较高  $k$  栅 MOSFET 要小得多, 提高了 FD-SOI MOSFET 性能.

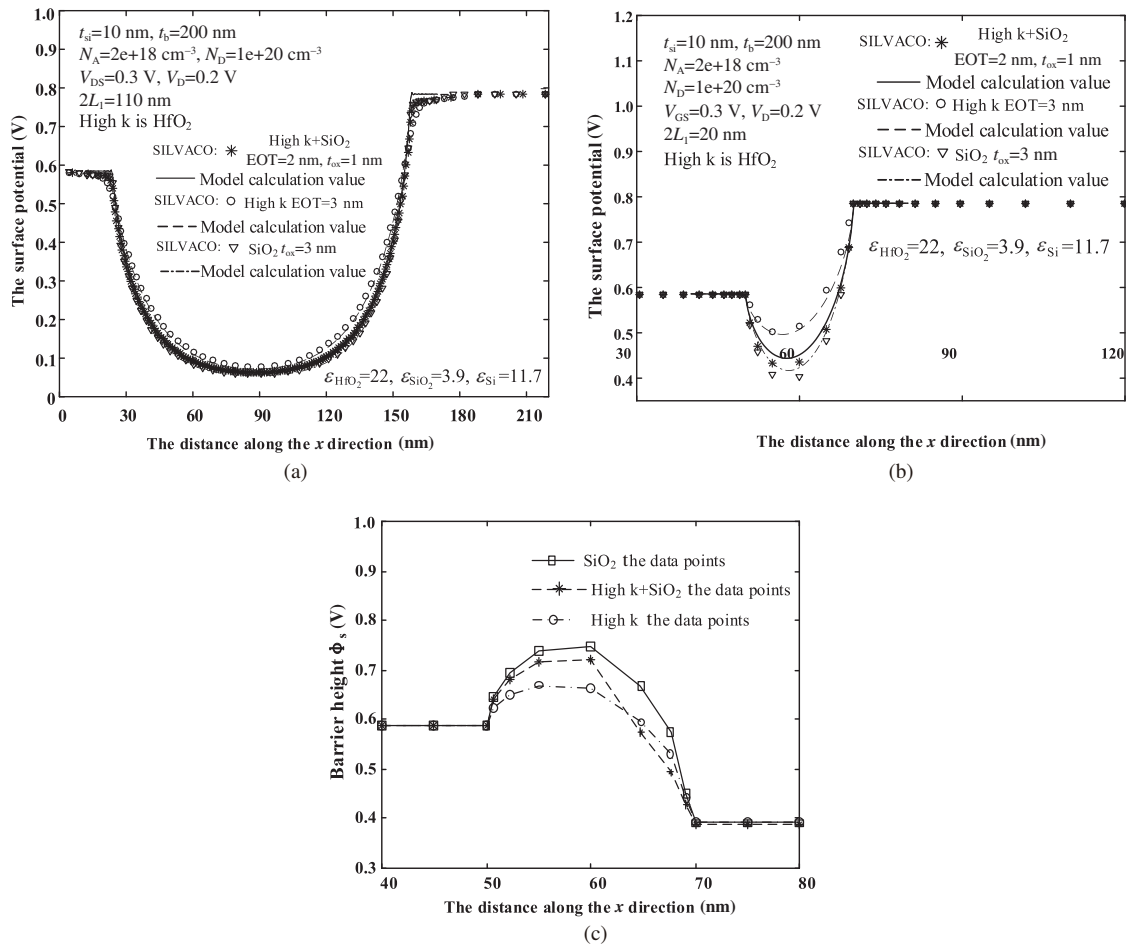


图 10  $\text{SiO}_2$  栅、高 k 栅和高 k +  $\text{SiO}_2$  栅 FD-SOI MOSFET 表面势分布

Figure 10 Surface potential distribution of  $\text{SiO}_2$  gate, high k gate and high k +  $\text{SiO}_2$  gate FD-SOI MOSFETs. (a) The channel length is the surface potential  $\phi_f(x)$  of 110 nm; (b) the channel length is 20 nm, the surface potential  $\phi_f(x)$ ; (c) the barrier map of (b), the unit is V

(3) 半解析模型没有用一维无穷大栅电极, 而是用了有限长的栅电极, 因此边缘电容效应已经包括在半解析模型中, 所以它计算的阈值电压随着栅介电常数不同而变化, 这恰好说明了所建立半解析模型计算准确, 精度较高.

### 4.3 DIBL 效应与介电常数的关系

对于电子而言, 源与沟道之间存在一个势垒, 短沟道 MOSFET 源和漏的耗尽区在漏电压为零, 也会互相交迭, 引起势垒下降; 当漏源电压大于零, 漏区产生的电力线可以穿透沟道耗尽区进入源区, 引起势垒进一步降低. 如果势垒降低的足够低, 源结就有电子注入, 这个现象称为 DIBL 效应, 是沟道长度的一个基本限制. 图 10 是等栅电容设计的 FD-SOI MOSFET 在栅源电压  $V_{GS} = 0.3\text{ V}$  时, 沟道表面势  $\phi_f(x)$  沿沟道分布图和势垒图, 势垒的单位是 V. 表 2 是图 10(b) 电势  $\phi_f(x)$  沿沟道长度分布的数据. 模型计算值与 SILVACO 仿真值最大误差是 5.92%. 图 10(c) 显示了高 k 栅 FD-SOI MOSFET 的势垒高度最低,  $\text{SiO}_2$  栅的势垒高度最高, 高 k +  $\text{SiO}_2$  栅的势垒高度在两者之间.

表 2 图 10(b)  $V_{GS} = 0.3 \text{ V}$ , 20 nm 沟道 FD-SOI MOSFET 的表面势  $\phi_f(x)$  数据  
 Table 2 Figure 10(b)  $V_{GS} = 0.3 \text{ V}$ , 20 nm channel FD-SOI MOSFET surface potential  $\phi_f(x)$  data

X (nm)		50.00	50.8	52.4	55.1	60.00	64.9	67.6	69.2	70.0
SiO <sub>2</sub> $\phi_f(x)$	SILVACO	0.5852	0.5174	0.4577	0.4089	0.4042	0.4827	0.5854	0.6859	0.7852
	Model	0.5828	0.5250	0.4771	0.4332	0.4234	0.5041	0.5947	0.7221	0.7807
High k + SiO <sub>2</sub> $\phi_f(x)$	SILVACO	0.5852	0.5213	0.4705	0.4330	0.4345	0.5077	0.5979	0.6886	0.7852
	Model	0.5829	0.5288	0.4885	0.4534	0.4516	0.5247	0.6037	0.6818	0.7804
High k $\phi_f(x)$	SILVACO	0.5852	0.5608	0.5305	0.5033	0.5140	0.5949	0.6787	0.7420	0.7852
	Model	0.5824	0.5469	0.5218	0.5007	0.5076	0.5756	0.6415	0.7306	0.7785

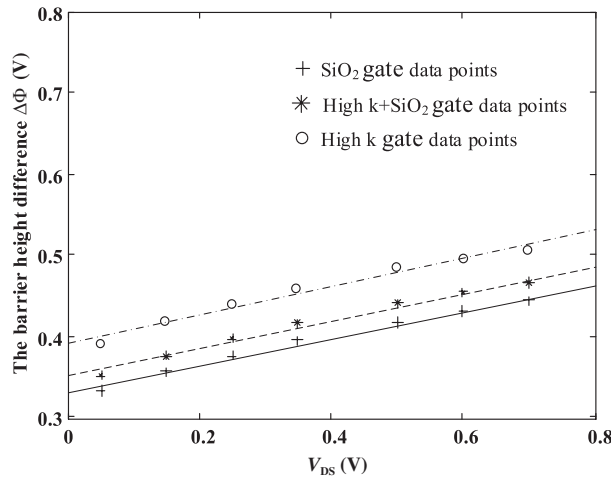


图 11 20 nm 沟道长度的 FD-SOI MOSFET 在  $V_{GS} = 0.3 \text{ V}$ ,  $V_{GS}$  与势垒高度差  $\nabla\Phi$  的示意图  
 Figure 11 20 nm channel length FD-SOI MOSFET  $V_{GS} = 0.3 \text{ V}$ ,  $V_{GS}$  and barrier height difference  $\nabla\Phi$  diagram

引入势垒高度差  $\Delta\Phi$  定量计算 DIBL 效应, 公式为

$$\Delta\phi = \phi_c - \phi_f(x_{\min}) = A + BV_{DS}, \quad (32)$$

式中  $\phi_f(x_{\min})$  是固定沟道长度, 改变漏源电压, 得到的表面势最小值.  $\phi_c$  是长沟道器件表面势.  $\Delta\Phi$  小, 势垒高度下降的少, 器件的 DIBL 效应小. 式 (32) 中,  $A$  是源与漏 pn 结之间的接近效应, 与漏电压无关.  $B$  是为了表示漏区电力线的穿透效应而引入的参数, 为  $B = \frac{\partial\Delta\Phi}{\partial V_{DS}}$ . 用半解析模型计算了 HfO<sub>2</sub> ( $\epsilon_k = 22$ ) 和  $V_G = 0.3 \text{ V}$ , 改变漏源电压  $V_{GS}$ , 沟道长度 20 nm 的 3 种栅 FD-SOI MOSFET 的表面势, 然后以 110 nm 器件的表面势做为长沟道器件表面势  $\phi_c$ , 再用式 (32) 计算了  $\Delta\phi$ , 图 11 显示了计算结果. 图 11 的 3 种栅势垒高度差表达式是

$$\begin{aligned} \Delta\phi(\text{SiO}_2) &= 0.3325 + 0.1667V_{DS}, \\ \Delta\phi(\text{high k} + \text{SiO}_2) &= 0.3514 + 0.1732V_{DS}, \\ \Delta\phi(\text{high k}) &= 0.3913 + 0.1740V_{DS}. \end{aligned}$$

3 种栅的 pn 结接近效应有  $A_{\text{SiO}_2} < A_{\text{high k} + \text{SiO}_2} < A_k$ , 电力线穿透效应  $B_{\text{SiO}_2} < B_{\text{high k} + \text{SiO}_2} < B_k$ , 这说明虽然是等栅电容设计, 但是高 k 介质栅仍然影响 Si 膜的电场分布. 其原因是 4.2 小节介绍

的边缘电容存在, 实际上 3 种栅的栅电容并不是等电容. 漏电力线穿透到源是一个二维的行为, 一定要经过栅介质层才能到达源极. 因此, 栅电容越大, 漏和源 pn 结之间耦合越强, DIBL 效应也越大, 这就是高  $k + \text{SiO}_2$  栅的 DIBL 效应比高  $k$  介质栅的 DIBL 效应弱的原因.

## 5 结束语

本文用多个矩形等效源建立了高  $k$  栅和高  $k + \text{SiO}_2$  栅 FD-SOI MOSFET 亚阈值区电势的二维模型, 给出了一个多角形区域的偏微分方程边值问题, 用分离变量法和特征函数展开法求解了这个边值问题, 得到了模型的半解析解. 这个半解析解可以计算两层不同介质栅的 FD-SOI MOSFET 在亚阈值区的表面势和阈值电压, 半解析解与 SILVACO 软件模拟结果对比结果表明, 两者的精度相差很小.

本文还详细地分析了高  $k$  栅和高  $k + \text{SiO}_2$  栅的 FD-SOI MOSFET 表面势、阈值电压和 DIBL 效应的计算结果, 讨论了它们的阈值电压计算方法和高  $k$  栅介质加重 MOSFET 短沟道效应物理机制, 发现 FD-SOI MOSFET 的高  $k + \text{SiO}_2$  栅电容比高  $k$  栅电容小, 因此高  $k + \text{SiO}_2$  栅抑制了高  $k$  栅介质引起的 FD-SOI MOSFET 性能退化, 有较好的应用潜力. 计算结果表明, 对于高  $k + \text{SiO}_2$  栅这样复杂结构的 FD-SOI MOSFET, 半解析模型完整地反映了器件的二维效应, 其解表达的内容是解析模型无法完成的. 由于半解析解的计算精度与 SILVACO 软件数值解的精度相近, 但是计算开销远低于数值解的开销, 所以提出的模型既可以用于器件二维效应的计算, 也可以用于电路模拟器作为电路分析的器件模型, 以提高电路模拟器的模型精度.

亚阈值电流和亚阈值摆幅也是实际 MOS 器件的亚阈值重要特性. 由于亚阈值电流是扩散电流为主, 所以要讨论亚阈值电流需要在硅膜内加上扩散方程; 文章仿真与对比器件的最小沟道长度是 20 nm, 如果沟道进一步缩小到 10 nm 以下, 还要引入薛定谔方程做量子效应分析. 这些都会加大本器件分析和建模的复杂度和计算量, 也是下一步工作的重点, 我们将另文讨论这些工作.

## 参考文献

- 1 El Dirani H, Fonteneau P, Solaro Y, et al. Sharp-switching band-modulation back-gated devices in advanced FDSOI technology. *Solid-State Electron*, 2017, 128: 180–186
- 2 Shin M, Shi M, Mouis M, et al. In depth characterization of electron transport in 14 nm FD-SOI CMOS devices. *Solid-State Electron*, 2015, 112: 13–18
- 3 Xie Q, Xu J, Taur Y. Review and critique of analytic models of MOSFET short-channel effects in subthreshold. *IEEE Trans Electron Device*, 2012, 59: 1569–1579
- 4 Coquand R, Barraud S, Cassé M, et al. Scaling of high- $k$ /metal-gate TriGate SOI nanowire transistors down to 10 nm width. *Solid-State Electron*, 2013, 88: 32–36
- 5 Makovejev S, Planes N, Haond M, et al. Comparison of self-heating and its effect on analogue performance in 28 nm bulk and FDSOI. *Solid-State Electron*, 2016, 115: 219–224
- 6 El Dirani H, Solaro Y, Fonteneau P, et al. A band-modulation device in advanced FDSOI technology: sharp switching characteristics. *Solid-State Electron*, 2016, 125: 103–110
- 7 Morvan S, Andrieu F, Barbé J C, et al. Study of an embedded buried SiGe structure as a mobility booster for fully-depleted SOI MOSFETs at the 10 nm node. *Solid-State Electron*, 2014, 98: 50–54
- 8 Meel K, Gopal R, Bhatnagar D. Three-dimensional analytic modelling of front and back gate threshold voltages for small geometry fully depleted SOI MOSFET's. *Solid-State Electron*, 2011, 62: 174–184
- 9 Kumar M J, Chaudhry A. Two-dimensional analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs. *IEEE Trans Electron Device*, 2004, 51: 569–574
- 10 Mohamad B, Leroux C, Rideau D, et al. Reliable gate stack and substrate parameter extraction based on C-V measurements for 14 nm node FDSOI technology. *Solid-State Electron*, 2017, 128: 10–16



- 11 Lo S H, Buchanan D A, Taur Y, et al. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFET's. *IEEE Electron Device Lett*, 1997, 18: 209–211
- 12 Mukhopadhyay B, Biswas A, Basu P K, et al. Modelling of threshold voltage and subthreshold slope of strained-Si MOSFETs including quantum effects. *Semicond Sci Technol*, 2008, 23: 095017
- 13 Jayadeva G S, DasGupta A. Analytical approximation for the surface potential in n-channel MOSFETs considering quantum-mechanical effects. *IEEE Trans Electron Device*, 2010, 57: 1820–1828
- 14 Kumar A, Tiwari P K. A threshold voltage model of short-channel fully-depleted recessed-source/drain (Re-S/D) UTB SOI MOSFETs including substrate induced surface potential effects. *Solid-State Electron*, 2014, 95: 52–60
- 15 Wang M, Ke D M, Xu C X, et al. A 2-D semi-analytical model of parasitic capacitances for MOSFETs with high  $k$  gate dielectric in short channel. *Solid-State Electron*, 2014, 92: 35–39
- 16 Gan X W, Huang R, Liu X Y, et al. *Nano CMOS Devices*. Beijing: Science Press, 2004 [甘学温, 黄如, 刘晓彦, 等. 纳米 CMOS 器件. 北京: 科学出版社, 2004]
- 17 Yeap G C F, Krishnan S, Lin M R. Fringing-induced barrier lowering (FIBL) in sub-100 nm MOSFETs with high-K gate dielectrics. *Electron Lett*, 1998, 34: 1150–1152
- 18 Cheng B H, Cao M, Rao R, et al. The impact of high- $k$  gate dielectrics and metal gate electrodes on sub-100 nm MOSFETs. *IEEE Trans Electron Device*, 1999, 46: 1537–1544
- 19 Hamadeh E A, Niemann D L, Gunther N G, et al. Empirically verified thermodynamic model of gate capacitance and threshold voltage of nanoelectronic MOS devices with applications to  $\text{HfO}_2$  and  $\text{ZrO}_2$  gate insulators. *IEEE Trans Electron Device*, 2007, 54: 2276–2282
- 20 SILVACO International. *ATLAS User's Manual Device Simulation Software*. Santa Clara, 2008. 40–45
- 21 Suzuki K, Pidin S. Short-channel single-gate soi mosfet model. *IEEE Trans Electron Device*, 2003, 50: 1297–1305
- 22 Joachim H O, Yamaguchi Y, Ishikawa K, et al. Simulation and two-dimensional analytical modeling of subthreshold slope in ultrathin-film SOI MOSFETs down to 0.1  $\mu\text{m}$  gate length. *IEEE Trans Electron Device*, 1993, 40: 1812–1817
- 23 Rao R, Katti G, Havaladar D S, et al. Unified analytical threshold voltage model for non-uniformly doped dual metal gate fully depleted silicon-on-insulator MOSFETs. *Solid-State Electron*, 2009, 53: 256–265
- 24 Chang K M, Wang H P. A simple 2D analytical threshold voltage model for fully depleted short-channel silicon-on-insulator MOSFETs. *Semicond Sci Technol*, 2004, 19: 1397–1405
- 25 Li S S. *Semiconductor Physical Electronics*. 2nd ed. Berlin: Springer, 2006
- 26 Liu Z H, Hu C, Huang J H, et al. Threshold voltage model for deep-submicrometer MOSFETs. *IEEE Trans Electron Device*, 1993, 40: 86–95
- 27 Mohapatra N R, Desai M P, Narendra S G, et al. Modeling of parasitic capacitances in deep submicrometer conventional and high-K dielectric MOS transistors. *IEEE Trans Electron Device*, 2003, 50: 959–966
- 28 Zeng S R. *Fundamentals of Semiconductor Device Physics*. Beijing: Peking University Press, 2009 [曾树容. 半导体器件物理基础 (第二版). 北京: 北京大学出版社, 2009]

## 附录 A

有限尺寸的栅电容由平行板和边缘电容组成, 边缘电容<sup>1)</sup>是

$$C_{\text{edge}} = \frac{2\varepsilon}{2\pi} \ln \frac{2\pi w}{t} = \frac{\varepsilon}{\pi} \ln \frac{2\pi w}{t}, \quad (\text{A1})$$

式 (A1) 中  $\varepsilon$  是介电常数,  $w$  和  $t$  分别是栅的宽度和介质材料厚度. 因此完整的栅电容是

$$C'_g = \frac{\varepsilon}{\pi} \ln \frac{2\pi w}{t} + \frac{\varepsilon}{\pi} wl, \quad (\text{A2})$$

式中  $l$  是栅长度. 单位面积的栅电容是

$$C_g = \frac{C'_g}{lw} = \varepsilon \left[ \frac{1}{t} + \frac{1}{lw\pi} \ln \frac{2\pi w}{t} \right], \quad (\text{A3})$$

上式表明单位面积的电容与沟道长度、介电常数、栅宽都有影响.

下面用式 (A3) 计算不同介质的单位面积栅长电容.  $\text{SiO}_2$  介电常数是  $\varepsilon_{\text{ox}}$ , 栅介质电容是

$$C_{\text{ox}} = \varepsilon_{\text{ox}} \left[ \frac{1}{t_{\text{ox}}} + \frac{1}{lw\pi} \ln \frac{2\pi w}{t_{\text{ox}}} \right] = C_0 \left[ 1 + \frac{t_{\text{ox}}}{lw\pi} \ln \frac{2\pi w}{t_{\text{ox}}} \right], \quad (\text{A4})$$

1) 林志瓊, 杨铨让, 沙玉钧. 电磁场工程基础. 北京: 高等教育出版社, 1984.

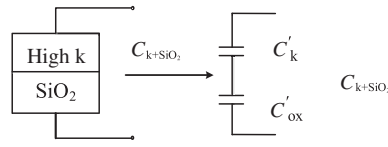


图 A1 高 k + SiO<sub>2</sub> 结构的单位栅面积等效电容

Figure A1 High k + SiO<sub>2</sub> structure of the unit grid area equivalent capacitance

式 (A4) 中  $C_0 = \frac{\epsilon_{ox}}{t_{ox}}$ , 是单位面积的平行板栅电容, 称作栅的本征电容. 若用等效电容设计, 设高 k 材料介电常数是  $\epsilon_k$ , 则有  $t_g = \frac{\epsilon_k}{\epsilon_{ox}} t_{ox}$ , 高 k 栅电容是

$$C_k = \epsilon_k \left[ \frac{1}{t_k} + \frac{1}{\pi l w} \ln \frac{2\pi w}{t_k} \right] = C_0 \left[ 1 + \frac{t_{ox}}{\pi l w} \frac{\epsilon_k}{\epsilon_{ox}} \left( \ln \frac{2\pi w}{t_{ox}} - \ln \frac{\epsilon_k}{\epsilon_{ox}} \right) \right]. \quad (A5)$$

高 k + SiO<sub>2</sub> 栅的栅电容如图 A1 所示.  $C_{k+SiO_2}$  是  $C'_{ox}$  与  $C'_k$  的串联, 等效电容是

$$C_{k+SiO_2} = \frac{C'_{ox} C'_k}{C'_{ox} + C'_k}. \quad (A6)$$

等效电容设计的 MOSFET SiO<sub>2</sub> 层厚度是  $t_{ox}$ , 令  $t'_{ox} = \alpha t_{ox}$  ( $0 \leq \alpha \leq 1$ ) 是高 k + SiO<sub>2</sub> 栅器件的 SiO<sub>2</sub> 层厚度, 等效氧化层厚度  $EOT = (1 - \alpha)t_{ox}$ , 则有

$$C'_{ox} = \epsilon_{ox} \left[ \frac{1}{\alpha t_{ox}} + \frac{1}{\pi l w} \left( \ln \frac{2\pi w}{t_k} + \ln \frac{1}{\alpha} \right) \right],$$

$$C'_k = C_0 \left[ \frac{1}{1 - \alpha} + \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \left( \ln \frac{2\pi w}{t_{ox}} + \ln \frac{\epsilon_{ox}}{\epsilon_k} + \frac{1}{1 - \alpha} \right) \right].$$

等效电容计算仅考虑高 k 材料的影响, 故有  $C'_{ox} \approx \frac{C_0}{\alpha}$ ,  $C'_k \approx C_0 \left[ \frac{1}{1 - \alpha} + \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \ln \frac{2\pi w}{t_{ox}} \right]$ , 式 (6) 的高 k + SiO<sub>2</sub> 栅等效电容为

$$C_{k+SiO_2} = \frac{C_0 \left[ \frac{1}{1 - \alpha} + \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \ln \frac{2\pi w}{t_{ox}} \right]}{\left[ \frac{1}{1 - \alpha} + \alpha \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \ln \frac{2\pi w}{t_{ox}} \right]} = C_0 \left[ 1 + \frac{(1 + \alpha)^2 \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \ln \frac{2\pi w}{t_{ox}}}{1 + \alpha(1 + \alpha) \frac{\epsilon_k t_{ox}}{\epsilon_{ox} \pi l w} \ln \frac{2\pi w}{t_{ox}}} \right]. \quad (A7)$$

## Threshold voltage and DIBL effect analysis and modeling for FD-SOI MOSFET with high $k + \text{SiO}_2$ gate

Luxu WAN, Jianguo YANG, Daoming KE\*, Di WU, Fei YANG & Tian CHEN

*School of Electronics and Information Engineering, Anhui University, Hefei 230601, China*

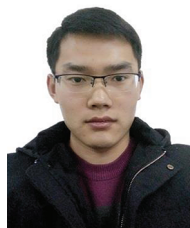
\* Corresponding author. E-mail: kedaoming@sohu.com

**Abstract** This study aims to propose a gate structure of high  $k + \text{SiO}_2$  for a fully depleted silicon-on-Insulator (FD-SOI) MOSFET. We developed a two-dimensional model to calculate its subthreshold surface potential of the front gate, threshold voltage, and drain induced barrier lowering (DIBL) effect. Based on the structure and different dielectric permittivity of FD-SOI MOSFET, the MOSFET of the subthreshold state is divided into several distinct rectangular equivalent sources. Furthermore, two-dimensional (2D) boundary value problems of Poisson and Laplace equations are built on the polygon region. Then, we use the method of separation of variables and the eigenfunction expansion to solve the 2D boundary value problems, and obtained their 2D solutions. Computational results show that the high  $k + \text{SiO}_2$  gate can effectively suppress the degradation of FD-SOI MOSFET threshold voltage, the aggravation of DIBL effect, and the FIBL effect, which are caused by the dielectric permittivity of high  $k$ . Since the equations of the model are linear equations, their computational cost is minimal so that the model can be used for not only modeling and simulation of FD-SOI MOSFETs but also as a device model of circuit simulators.

**Keywords** high  $k + \text{SiO}_2$  gate, FD-SOI MOSFET, threshold voltage, DIBL effect, the two-dimensional model



**Luxu WAN** was born in December, 1993. Currently, he is pursuing a master's degree at the School of Electronic Information Engineering, Anhui University. His primary research interest include micro-nano electronic device simulation and modeling.



**Jianguo YANG** was born in June, 1992. Currently, he is a graduate student at the Anhui University, and his profession is circuit and system. His main research direction is the physics of semiconductor devices.



**Daoming KE** was born in July, 1954. He graduated from the Southeast China University in October 1992 and received a doctorate. He is currently a professor at the Anhui University. His main research direction is the physics of semiconductor devices.