SCIENTIA SINICA Informationis

评述



# 后摩尔时代大规模集成电路器件与集成技术

黎明\*†,黄如†

北京大学微纳电子学研究院,北京 100871 \* 通信作者. E-mail: Liming.ime@pku.edu.cn † 同等贡献

收稿日期: 2018-04-18; 接受日期: 2018-05-28; 网络出版日期: 2018-08-06

国家重点研发计划 (批准号: 2016YFA0200504) 和国家自然科学基金 (批准号: 61474004, 61421005) 资助项目

**摘要** 本文梳理了微纳电子器件技术从等比例缩小的技术路线发展到以功耗降低为核心的后摩尔时代技术路线的过程,阐述了从等比例缩小到功耗缩小的微纳电子器件技术发展趋势,并对后摩尔时代大规模集成电路的新器件与工艺技术,包括 FinFET、围栅晶体管、新型隧穿器件、单片三维集成工艺等进行了较为系统的分析,试图为大规模集成电路技术的持续发展提供新的视野和观点.

关键词 集成电路,等比例缩小,低功耗,微电子器件,FinFET,围栅晶体管,隧穿晶体管,单片三维 集成,摩尔定律

## 1 引言

现代信息技术的基础是微纳电子科学技术,而微纳电子科学技术的基础和核心内容则是器件技术. 从第一支点接触晶体管到现代的 FinFET 场效应晶体管,微纳电子器件技术的发展已经经历了 70 多年的历史,直接推动了集成电路技术的进步.纵观器件技术的发展历史,可以认为两个重要的特征始终贯穿其中.

其一是器件技术的可继承性,即下一代器件技术可以由上一代器件技术继承而来,该特征集中体现为集成电路产业的摩尔 (Moore) 定律:集成电路芯片中的晶体管数目每两年增加一倍<sup>[1]</sup>.该定律描述了集成电路以一种等比例缩小的方式直线发展的过程,其重要的技术基础即来自器件技术的可继承性.根据等比例缩小原理,器件的关键参数只需要按照一定比例缩小,就能获得更高的性能和更低的功耗,自然也能在芯片端获得更好的体验.这一原理在平面晶体管时代指导着集成电路制造企业按部就班地发展其器件设计和工艺开发,从经济角度看,极大地缩减了研发流程和成本,因此在很长一段时间一直是器件技术发展的主要方式.与之相应的,器件结构上没有出现重大的变革,只是在工艺制备方面不断提高加工精度和改善材料特性,比如,为了获得更小尺寸,光刻技术采用的光源波长不断缩

 引用格式:黎明,黄如. 后摩尔时代大规模集成电路器件与集成技术. 中国科学:信息科学, 2018, 48: 963-977, doi: 10.1360/ N112018-00114
 Li M, Huang R. Device and integration technologies for VLSI in post-Moore era (in Chinese). Sci Sin Inform, 2018, 48: 963-977, doi: 10.1360/N112018-00114

© 2018《中国科学》杂志社

小,目前采用的波长主要为 193 nm,而 13.5 nm 的极紫外波长光刻技术 (EUV) 也正在逐渐进入量产 阶段<sup>[2]</sup>.同时,随着尺寸缩小,次级效应,诸如短沟道效应、寄生电容、寄生电阻、量子隧穿效应等显 著增强,严重影响了等比例缩小带来的性能和功耗价值.为了克服这些次级效应,在工艺技术方面做出 了诸多的努力,比如为了抑制短沟道效应对性能、功耗和可靠性的影响,发展了超浅结注入和退火工 艺<sup>[3]</sup>,并从 90 nm 节点开始引入应变硅技术<sup>[4]</sup>.为了获得更高的栅电容同时抑制量子隧穿电流,栅介 质从二氧化硅材料发展到高 k 值介电材料<sup>[5]</sup>.为了降低寄生电容和寄生电阻对工作频率的影响,发展 出超低 k 值介电材料以及更低电阻率的铜互连等器件后端互连新技术<sup>[6]</sup>.

在过去 60 多年的器件研究过程中,还出现了另外一种研究潮流,即发展器件的不同应用目的,这 是器件技术的可继承性之外的另一个特点,即多样化.器件技术的多样化也和集成电路产业发展的经 济目标一致,即满足市场需求.比如在数字计算机需求之外,非易失性存储器件技术的发展满足了人 们对移动存储的需求,光电器件技术的发展满足了人们对宽带通信的需求,射频器件技术的发展满足 了人们对智能物联网的需求等.器件技术的多样性还以另外一种形式维持了摩尔定律的发展,即在同 一个芯片上集成更多不同功能的器件将使得集成系统的成本下降,也就是芯片级集成系统 (SoC) 的 概念.

无论器件技术以何种特征存在和发展,其面临的物理极限却归于统一,即不断增长的热开销.当 人们以高密度化或者系统集成追求芯片的更高性能和性价比时,伴随的总是不断增长的功耗,这与经 典的晶体管以电信号进行信息处理的方式有直接关联.当电子的输运过程伴随信息的传递时,总会消 耗一定的能量,而这部分能量最终以热的形式散发出去.当处理信息越多,速度越快时,单位面积单 位时间内消耗的能量就越多,造成的热问题就越严重.另一方面,人们不可能简单地降低信息处理所 需的能量阈值来降低功耗.这是因为当器件处理信息的电信号与热涨落造成的噪声背景电压幅值相当 时,信号与噪声就无法区分.这也是另一种功耗极限的表现形式.

器件功耗极限的存在使得当前的器件技术发展正从等比例缩小的黄金时代 (happy scaling era) 走向功耗缩小 (power scaling) 的后摩尔时代 (post-Moore era)<sup>1)</sup>.本文将从梳理等比例缩小路线的器件技术历史开始,进一步阐述功耗缩小路线的新器件技术研究现状和未来趋势,重点介绍突破传统平面晶体管的短沟道效应瓶颈的 FinFET 器件及其下一代的多栅纳米线器件、面向超低功耗应用场景的新型隧穿晶体管.针对平面集成工艺在集成度方面的瓶颈,介绍了一种新型的单片三维集成方式.最后对其他新材料、新原理器件研究进展及趋势进行简单的介绍与对比.

#### 2 FinFET 器件

FinFET 器件的发明人是美国 University of California, Berkeley 的胡正明博士. 他领导的团队在 1998 年的国际电子器件大会上首次以 FinFET 的名称发表了第 1 篇论文, 正式确立了 FinFET 器件 的基本特征<sup>[7]</sup>. 从那以后, 世界范围内掀起了 FinFET 研究的热潮, 特别是在 2011 年当 Intel 推出以 FinFET 为基础器件的 22 nm Ivy Bridge 处理器产品时, FinFET 器件正式替代了传统平面晶体管的地位, 成为主流集成电路制造技术的基本元器件<sup>2) [8~10]</sup>. 目前, FinFET 已经在 22 nm 和 14 nm 两个节点上得到量产应用, 在 10 nm 和 7 nm 节点上已经有定制化产品推出, 预计在 2018 年底或者 2019 年 初推出量产产品. 由此可见, FinFET 器件具有十分强大的生命力.

FinFET 在发明之初就是为了解决平面晶体管的短沟道效应问题,其结构如图 1 所示. 与平面晶

<sup>1)</sup> http://www.itrs2.net/itrs-reports.html.

<sup>2)</sup> Intel advancing Moore's law in 2014. http://www.intel.com.



图 1 (网络版彩图) FinFET 结构示意图 Figure 1 (Color online) Schematic diagram of FinFET

体管不同之处在于 FinFET 的沟道平面垂直于衬底平面,并且沟道两侧以及顶部同时受到栅电极的电 压控制,因此从静电势的分布来看,整个沟道厚度方向上存在着更为均匀的电场控制,使得沟道电荷更 容易被栅电极的电压信号所调制,从而降低与源漏端的共享,即短沟道效应.

FinFET 的短沟道控制能力可以根据自然长度理论 (nature length) 获得

$$\lambda = \sqrt{\frac{\varepsilon_{\rm Si}}{3\varepsilon_{\rm ox}}} t_{\rm Si} t_{\rm ox},\tag{1}$$

其中,  $\varepsilon_{Si}$  和  $\varepsilon_{ox}$  分别是硅和二氧化硅的介电常数,  $t_{Si}$  和  $t_{ox}$  分别是 Fin 宽和等效栅介质厚度 [11]. 一般地,

$$L_{\rm gmin} = 3\lambda \sim 4\lambda. \tag{2}$$

从式 (1) 和 (2) 可知, FinFET 的短沟道控制能力与 Fin 宽  $t_{Si}$  息息相关. 与平面单栅晶体管的自然长度

$$\lambda_{\text{planar}} = \sqrt{\frac{\varepsilon_{\text{Si}}}{\varepsilon_{\text{ox}}} x_j t_{\text{ox}}} \tag{3}$$

(其中  $x_j$  为源漏结深)相比,  $t_{Si}$  只需达到  $3x_j$ 即可达到相同的短沟道抑制能力.而普通平面晶体管的源漏结深大约在 10 nm 左右,则 FinFET 只需要采用 30 nm 左右的 Fin 宽即可获得同等的短沟道效应.

相比较 32 nm 平面晶体管, 22 nm 的 FinFET 器件亚阈值特性更加陡峭,从而能够在较低的阈值 电压下工作而不破坏关态电流,从而获得更高的驱动电流.这使得 FinFET 可以在更低的工作电压下 工作,获得超过 37%的性能提升<sup>[8]</sup>. FinFET 的另一个优势则是在抑制沟道杂质的随机涨落方面.由 于 FinFET 具有良好的短沟道效应控制能力,因此不需要通过提高沟道掺杂来改善短沟道特性,从而 可以获得更低的随机涨落,这也使得 FinFET 可以工作在更低的电压下,获得更低的功耗.从图 2 可 以看出,当平面晶体管的尺寸缩小时,随机涨落引起的阈值电压涨落逐渐增加,在采用 FinFET 结构 以后,可以获得和较低节点差不多的阈值电压涨落,随着 Fin 宽的进一步缩小,阈值电压涨落进一步 降低.

FinFET 面临的挑战来自工艺制备和器件设计两个方面. 工艺制备方面的困难包括精细的 Fin 线 条光刻技术、深度精确可控的 Fin 刻蚀技术、低电阻源漏及接触技术等. 器件设计方面的挑战主要来 自超薄 Fin 沟道中的自热效应、三维结构的寄生电容、Fin 体区穿通等.

Fin 的精细曝光技术目前主要采用的是侧墙图形转移法<sup>[12]</sup>,即通过在原始图形的侧壁上形成超薄侧墙来作为 Fin 的掩模图形.由于侧墙淀积工艺可以达到纳米级别的精度,这种方法可以实现 10 nm



#### 图 2 FinFET 对随机涨落的抑制作用

Figure 2 Suppression of FinFET on random fluctuation of threshold voltage

as patterned

![](_page_3_Figure_4.jpeg)

#### 图 3 (网络版彩图) FinFET 器件从 22 到 14 nm 节 点的结构变化

from 22 to 14 nm node

as-IIP

Recrystallized

图 4 (网络版彩图) FinFET 源漏注入退火过程中的不 完全再结晶现象

Figure 3 (Color online) Evolution of FinFET structure Figure 4 (Color online) Incomplete recrystallization during annealing of FinFET source/drain after ion implantation

以下的 Fin 宽. 在 Fin 的刻蚀工艺方面,为了避免在 Fin 上形成多晶硅伪栅时存在侧壁残留问题, Intel 最早的 FinFET 形貌并非垂直的 Fin 结构, 而是略带一定斜度的梯形. 但是这种形貌的可控性以及 Fin 底部的穿通效应都是大规模集成中的潜在风险,因此从 14 nm 开始, Intel 的 FinFET 结构开始演 化成为细高的矩形结构 (图 3), 一方面通过 Fin 高的增加提高器件单位面积上的驱动能力, 从而节省 器件的投影占地;另一方面通过改善 Fin 的形貌降低底部寄生晶体管对关态泄漏电流的破坏.在后面 的论述中可以看到, 解决 Fin 底部寄生晶体管的方法还有局部隔离的办法. 除了上述问题, FinFET 的 源漏技术也是一大难点,其困难主要在于 Fin 结构对位错线的限制作用使得 Fin 的顶端始终存在局域 的非晶化, 使得源漏激活率降低<sup>[13]</sup>, 如图 4 所示. 此外, Fin 宽的减少使得接触电阻增加, 采用源漏外 延<sup>[14]</sup>以及全硅化物源漏等技术<sup>[15]</sup>可以在一定程度上进行改善.

相比工艺制备上的困难, FinFET 器件自身的问题显得更为本质. 首要考虑的是 FinFET 的自热

![](_page_4_Figure_1.jpeg)

图 5 (网络版彩图) (a) BOI FinFET 结构图; (b) 体硅衬底上制备的 BOI FinFET 扫描电子显微镜照片<sup>[19]</sup> Figure 5 (Color online) (a) Schematic structure of BOI FinFET and (b) cross-sectional image of fabricated BOI FinFET on bulk Si substrate

效应<sup>[16]</sup>. 当载流子在 Fin 沟道中运动产生的热量不能很快地通过 Fin 与周围环境地交换散发出去, 沟 道温度就会急剧上升, 导致晶格散射增加, 使得载流子迁移率大幅下降, 造成电流的损失. 同时, 自热效 应还对器件的可靠性、阈值电压涨落等因素有很大的影响, 是高密度 FinFET 器件集成中需要重点考 虑的问题. 可以通过提高 Fin 密度、采用合并金属接触等方法来降低自热效应. 但是最终需要依赖自洽 的电热耦合模型来对电路和系统进行优化. 第 2 个与 FinFET 结构有关的问题是寄生电容. Fin 的三 维结构使得源漏与 Fin 沟道、栅电极之间存在很复杂的边缘寄生电容, 严重影响延迟特性. FinFET 中 的寄生电容主要由栅极与 Fin 侧壁的寄生电容和栅极与源漏引出区的寄生电容为主<sup>[17]</sup>. 通过 TCAD 仿真优化, 可以通过提高 Fin 高、减少 Fin 宽、提高 Fin 密度来减轻寄生电容效应.

体区穿通是 FinFET 器件结构上的另一个弱点, 来源于栅电极对 Fin 底部控制力的减弱.为了抑制体区穿通, 通常采用的办法是进行底部的防穿通注入<sup>[18]</sup>, 但是这样引入额外的注入步骤增减了成本, 高注入剂量也可能破坏 Fin 本征沟道的输运优势和抗涨落优势, 并不是一个理想的方案. 针对该问题, 人们提出了 Fin 底部局部隔离的办法<sup>[19,20]</sup>, 诸如通过 Fin 底部的贯通氧化的办法形成所谓的Body-on-insulator FinFET 结构<sup>[19]</sup>, 如图 5 所示.

FinFET 器件已经发展到 7 nm 节点, 通过减小 Fin 宽和提高 Fin 高已经很难再提升器件性能, 需要引入更高迁移率的沟道材料来增强其输运特性. 作为与硅基工艺兼容的材料, 锗基或者锗硅半导体材料有可能最先进入量产阶段. III-V 化合物半导体 FinFET 也研究了较长一段时间, 但是在大面积 硅晶圆上制备高质量 III-V 材料仍然是一个不小的挑战. 此外, 界面问题也还没有得到很好的解决. 因此, FinFET 在 5 nm 节点及其以下节点如何发展仍然是一个值得探索的方向.

#### 3 围栅纳米线/纳米片器件

相比于 FinFET 器件, 围栅纳米线器件可从各个方向控制沟道能电势, 具有更强的短沟道效应控制能力, 从而实现极小的泄漏电流. 图 6 是典型的围栅纳米线器件的两种结构示意图, 一是水平结构, 另外一种是垂直结构. 围栅纳米线器件的沟道被栅电极完全包围, 由于电场分布的对称性, 载流子在垂直栅介质界面方向的散射大大降低, 形成了准一维的弹道输运, 有利于提高器件的驱动能力. 另一方面, 源/漏扩展区的有限掺杂浓度在零栅压条件下自然形成耗尽区, 电学栅长等效增加, 减少了短沟

![](_page_5_Figure_1.jpeg)

图 6 (网络版彩图) 围栅硅纳米线器件示意图. (a) 水平结构; (b) 垂直结构

Figure 6 (Color online) Schematic diagrams of gate-all-around silicon nanowire transistors in (a) horizontal structure and (b) vertical structure

![](_page_5_Figure_4.jpeg)

图 7 (网络版彩图) SiGe 选择性腐蚀法制备围栅硅纳米线器件工艺流程

Figure 7 (Color online) Fabrication process flow of gate-all-around silicon nanowire transistor with selective etching of SiGe sacrificial layers

道导致的阈值降低<sup>[21]</sup>.实验还证明围栅硅纳米线器件具有灵敏的单轴应力响应,特别是 PMOS 在压应力的作用下能够将驱动电流提高 50%以上<sup>[22]</sup>.

在业界和学术界很早就开始了围栅纳米线器件的研究,提出了多种不同的集成工艺方案.图7是典型的牺牲层纳米线释放工艺<sup>[23]</sup>.在硅衬底上沉积多层锗硅/硅叠层,完成 Fin 刻蚀以后,利用 Damascus 结构打开沟道区窗口,回刻浅槽隔离 STI,暴露出锗硅牺牲层,通过选择性腐蚀去除锗硅,得到硅纳米线的释放.在 Damascus 结构里淀积上栅材料以后,去除 Damascus 结构,然后形成源漏和接触引出.

也有研究者提出了另外一种制备围栅纳米线的方法,即利用热氧化速率的自限制效应,对成形的 Fin 条进行热氧化,通过控制氧化气氛、温度和时间精确控制纳米线的尺寸<sup>[24]</sup>.如图 8 所示,这样形成的纳米线来自于硅衬底,单晶质量要好于外延层,并且氧化过程中能修复纳米线表面的缺陷,有利于提高迁移率.

虽然围栅纳米线器件在短沟道抑制能力方面优于 FinFET, 但是受限于其有效栅宽, 驱动电流能力依赖于增加叠层的纳米线数目来增加, 需要在电路设计方面进一步研究. 此外, 纳米线的边缘粗糙度、直径涨落、寄生效应等因素也对器件特性有一定影响, 需要通过器件电路的协同设计对围栅纳米线器件电路进行优化<sup>[25]</sup>.

![](_page_6_Figure_1.jpeg)

图 8 (网络版彩图) (a) 利用自限制氧化工艺得到的硅纳米线横截面扫描电镜照片和 (b) 电子迁移率曲线 <sup>[24]</sup> Figure 8 (Color online) (a) Cross-sectional SEM image of silicon nanowire formed by self-limiting oxidation and (b) its electron mobility curve

![](_page_6_Figure_3.jpeg)

图 9 (网络版彩图) (a) FinFET 与 (b) 纳米片器件的对比, 纳米片器件具有更高的有源区利用效率 Figure 9 (Color online) Comparison of (a) FinFET and (b) nanosheet transistor to show higher RX efficiency of the latter

除了围栅硅纳米线器件, 国际上最近还提出了纳米片器件的概念. 如图 9 所示, 纳米片器件的结构类似一个水平放置的 FinFET 或者早些时候提出的双栅器件的结构<sup>[26]</sup>. 纳米片器件仍然是围栅结构, 在静电控制能力方面强于 FinFET, 但略弱于纳米线器件. 其优势主要体现以下几点. 首先, 提升了 有源区的利用效率, 根据报道, 在相同的有源区宽度 *W*<sub>RX</sub> 下, 有效栅宽可以达到 FinFET 的 1.3 倍<sup>[26]</sup>. 其次, 改善了沟道厚度的涨落, 即外延生长的纳米片厚度涨落低于光刻刻蚀工艺形成的 Fin 的宽度涨 落. 最为关键的是可以通过调整可变的纳米片宽度来优化功耗性能比. 从工艺角度来看, 纳米片的形成只需要一次光刻, 而 FinFET 或者纳米线的形成则需要 3 次曝光过程.

尽管围栅纳米片器件拥有上述优点,但是在底部晶体管抑制、栅电极形成、寄生电容等方面还存 在着一些挑战需要解决.首先,栅电极与衬底通过栅氧化层直接接触,形成寄生沟道,产生额外的源漏

![](_page_7_Figure_1.jpeg)

图 10 (网络版彩图) 隧穿晶体管工作在 (a) 关态和 (b) 开态时的能带示意图 <sup>[27]</sup> Figure 10 (Color online) Schematic energy band diagrams of tunneling field-effect-transistor working at (a) OFF state and (b) ON state

泄漏通道,对器件静态功耗控制不利.其次,纳米片器件的栅电极形成过程中需要对纳米片之间的牺牲层进行湿法腐蚀,在纳米片宽度设计较大时可能造成残留,使得工艺良率下降.最后,当栅电极嵌入纳米片之间形成围栅结构时,与纳米片之间的侧墙形成过覆盖电容,不利于提升器件高频特性.

根据国际半导体器件与系统技术路线图, FinFET 将在 5 nm 以下节点面临较大的挑战, 而围栅纳 米线器件或者纳米片器件则有可能在 3 nm 节点成为 FinFET 的替代结构.同时,随着功耗不断降低 的要求,还有其他一些新原理器件正在成为关注的热点,比如超陡亚阈摆幅器件等.

#### 4 新型隧穿晶体管

从 FinFET 到纳米片器件,由于亚阈值斜率存在 60 mV/dec 的热力学极限,难以通过降低电源电 压来降低功耗. 隧穿晶体管是一种基于载流子带间隧穿效应工作原理的器件,其亚阈值斜率能够突破 上述热力学极限,从而能够在极低电压下工作,实现超低功耗电路. 隧穿晶体管的基本结构以及基本 工作原理如图 10 所示<sup>[27]</sup>. 其器件结构从源到漏掺杂依次为 P-i-N,器件的开启和关断在于利用栅电 压对源结处的带间隧穿进行调制.

从理论上来说, 隧穿晶体管的亚阈值摆幅可以小于 60 mV/dec, 但是在实际器件中, 由于热扩散的 问题, 源体隧穿结处的掺杂分布总是有一定渐变, 不可能做成突变, 因此隧穿长度要大于理论所预测的 结果, 隧穿晶体管的亚阈值摆幅的实验值一般比较大, 特别是在大电流时. 此外, 由于 Si 是间接禁带 半导体, 禁带宽度也比较大, 载流子在硅中的隧穿过程还是声子辅助隧穿, 因此, 基于 Si 的隧穿晶体管 的导通电流通常很低. 如果要增加载流子隧穿概率, 提高器件导通电流, 一个方法是采用窄禁带或直

接禁带半导体, 比如 Ge 或 III-V 材料等代替 Si. 在 2013 年国际电子器件大会 IEDM 上, University of Pennsylvania 报道了一种能带近似断裂的异质结 TFET <sup>[28]</sup>, 在 0.5 V 工作电压下, 开通电流可以达到 740 μA/μm, 截止频率高达 19 GHz. 但是这种窄禁带 TFET 存在亚阈值斜率退化、工艺与 CMOS 技术不兼容的问题. 此外, 也能通过增大源与沟道隧穿结的电场来增加导通电流, 比如使用高 *k* 栅介质、 双栅或者环栅等栅结构.

从工艺兼容性角度考虑, 在硅基上进行结构创新, 也能进一步挖掘硅衬底在隧穿晶体管应用方面 的潜力, 对于这种新原理器件的实际应用具有重要的推动作用.北京大学基于平面器件结构提出并 成功制备出了一种新型的隧穿晶体管, 如图 11(a)所示,称作 T 型栅 Schottky 隧穿场效应晶体管 (TSB-TFET)<sup>[29]</sup>.TSB-TFET 通过一种自适应操作机理引入 Schottky 结,可以大大提高器件的性能. TSB-TFET 的开态电流主要由 Schottky 势垒隧穿电流决定, Schottky 隧穿电流远远大于带带隧穿电 流.当TSB-TFET 处于关态,基于 T 型栅两侧结的自耗尽作用可以使 Schottky 结的泄漏电流受到 明显抑制,器件能具有很低的关态电流.在TSB-TFET 的亚阈区,器件电流主要由带带隧穿电流决 定,且因栅拐角处会引入电场集中效应,会导致比常规 TFET 更加陡直的亚阈特性.由此,TSB-TFET 能实现更高的开态电流,更低的泄漏电流和亚阈区斜率.实验制备出的器件可以保证 5 个数量级电流 范围内实现陡直亚阈值斜率,同时电流开关比达到 7 个数量级,开态电流相比常规 TFET 提高了约 2 个数量级.TSB-TFET 体现了隧穿机制新原理器件设计方面的突破,对于这类器件的实际应用起到 了很好的推动作用.进一步的优化结构 PSM-TFET (图 11(b))在室温下能获得低至 29 mV/dec 的亚 阈值斜率,且在 0.6 V 的漏压下,开态电流能达到 20 μA/μm,相比常规 TFET 高出 2 个多数量级, PMS-TFET 能实现高达 10<sup>8</sup> 的电流开关比<sup>[30]</sup>.

隧穿晶体管的独特的超低功耗特性和尺寸的不敏感性使得它可以广泛地应用在不同生命周期的 技术节点上,并成为一种适用于超低功耗应用环境的重要器件.

### 5 单片三维集成

功耗缩小不仅依赖于器件技术的进步,还对系统设计提出了更高的要求. 传统平面集成的方式使 得元器件之间的互连线架构十分复杂,造成了较大的延迟和功耗. 此外,也很难满足复杂系统对不同 种类器件的集成需求. 因此,提出了一种全新的集成方式,即单片式三维堆叠集成. 这种集成方式类似 于 TSV (through-silicon-via) 三维集成,都是将器件在垂直方向上堆叠起来,但是有别于 TSV 的模块 化封装集成,单片式三维集成是基于 TLV (through-layer-via) 的晶体管级三维集成,即每层器件之间 的间距可以达到局域互连的尺度,这样能够极大地提高传输线的效率,实现高带宽、低延迟、低功耗, 同时满足物联网、可穿戴设备发展对芯片多样化的需求.

图 12 比较了基于 TSV 的封装集成和基于 TLV 的单片三维集成<sup>[31]</sup>.前者是先独立"同步"加工 各层芯片,通过 C2W (chip-to-wafer)或 C2C (chip-to-chip)键合的方式将各层堆叠起来,利用 TSV 实 现层间互联;后者是在同一基底上,利用前端工序"依次"加工各层器件和层内、层间互连线.TSV 三 维集成由于使用径向尺寸在微米量级的 TSV,版图效率较低,且两层芯片间的对准偏差也较大;单片 三维集成完全与 CMOS 前端工艺兼容,层间的对准偏差小,TLV 所占版图面积小,因而器件集成度高. 但单片三维集成是逐层加工,加工上层器件时的热过程可能影响下层器件和互连线,因此必须严格控制加工全程的热预算.

单片三维集成工艺种面临着主要的挑战包括: (1) 高质量有源层的制备; (2) 底层器件的热稳定性; (3) 顶层器件在低热预算下的性能; (4) 可靠性等问题. 目前主要的困难仍然来自顶层高质量有源区的

![](_page_9_Figure_1.jpeg)

图 11 (网络版彩图) (a) TSB-FET 和 (b) PSM-TFET 结构以及 (c) PSM-TFET 的特性 Figure 11 (Color online) Structures of (a) TSB-FET and (b) PSM-TFET with the transfer and (c) output characteristics of PSM-TFET

![](_page_9_Figure_3.jpeg)

图 12 (网络版彩图) 后端三维集成与前端三维集成的对比

Figure 12 (Color online) Comparison of TSV 3D integration and sequential 3D integration

形成. 已知有 3 种制备方法,包括 CMP 减薄法<sup>[32~36]</sup>、图形化固相外延法<sup>[37]</sup>和转移键合法<sup>[38]</sup>. 形成的有源层质量、热预算、厚度的控制等参数在表 1 中做了比较<sup>[31]</sup>.

Scheme	Laser+CMP	Solid phase epitaxy	Bonding
Diagrams	PMD oxide	PMD oxide	PMD oxide
Process temperature (°C)	$\sim 25~({\rm GNS-LC})$	$\sim 650 \; (\text{SEG})$	$\sim 200$
Quality of recrystallization	Random distribution of defects	Limited defects in seed-window	Ideal
Orientation control	Same as seed	Not specified	Designable

表 1 3 种主要上层器件有源层的形成方法比较 Table 1 Comparison of three main formation schemes of active layer for top devices

 Orientation control
 Same as seed
 Not specified
 Designable

 CMP 减薄法是在底层器件形成后,在层间隔离介质上淀积非晶薄膜材料,通过热处理的方法使该非晶层再结晶形成上层器件的有源层.这样形成的薄膜的晶粒尺寸、表面粗糙度与薄膜的原始厚度有关,需要用 CMP 进行减薄和表面平坦化,可以得到 ~20 nm 厚,晶粒尺寸 ~1000 nm,表面粗糙度低于 0.5 nm 的类单晶硅膜<sup>[32]</sup>.该方法的优势在于:通过淀积的方式形成有源层,工艺复杂度低,与传统CMOS 兼容性好,成本低廉;同样是因淀积的方式形成薄膜,不同层可以使用不同的材料,为多种沟道材料器件的混合集成提供了可能,提高了对器件进行独立优化的灵活性.但是,该方法也面临如下挑

战: 再结晶形成的有源层没有一致的晶向, 因而引起器件性能较大的涨落; 为严格控制有源层的削减

精度和表面平整度,往往要求原子级精度的 CMP 设备,这也变相增加了工艺复杂性和成本.

图形化外延法是指: 在底层器件和层间隔离介质形成后, 通过光刻、刻蚀的方法打开局域外延窗口, 露出单晶硅基底表面; 通过外延的方式, 在窗口中填充单晶硅作为种子层; 经 CMP 表面平坦化后, 淀积隔离介质, 并通过光刻、刻蚀的方法打开有源区窗口, 露出种子层顶部; 通过外延单晶硅膜横向生长填充有源区窗口; 最后通过 CMP 平坦化后形成有源区. 该方法的优势在于能形成具有特定晶向的单晶有源层 (该晶向由衬底晶向决定). 但是, 由于种子窗口联通了上下两层有源层, 使得不同层的器件不能完全隔离; 外延形成的有源区的面积和薄膜质量受到种子窗口图形密度和分布的制约, 因此, 版图效率和设计的灵活性都受到严格限制.

转移键合技术 (transfer bonding), 又称 3D CoolCube<sup>TM</sup> 技术, 旨在通过 SMART CUT 的方法, 将 超薄体 SOI 的硅膜剥离下来, 以晶圆晶圆 (wafer to wafer) 的方式转移键合到已形成底层器件和层间 隔离介质的基片上, 作为上层器件的有源区, 进而加工出上层器件. 与前两种有源层形成的方式相比, 该方法具有热预算最低 (~200°C), 薄膜的完整度最好 (单晶), 每层独立加工、适于形成多层有源层的 优势, 但由于每层有源层都来自于一片超薄体 SOI 片, 随着晶圆尺寸的增大和堆叠层数的增加, 其成 本的上升将成为一个显著的挑战.

单片三维集成的提出不仅仅丰富了后摩尔时代的高密度集成手段,也提供了十分广阔的多样化 系统设计空间. Stanford University 提出了一种利用单片三维集成实现新型高能效计算系统的方法, 如图 13 所示<sup>[39]</sup>. 这类系统将逻辑、存储、传感混合集成在单一芯片中,极大地提高了系统的计算 能效.

单片三维集成已经在一些特殊芯片领域得到应用,比如在高密度的 CMOS 图像传感器芯片中,利 用单片三维集成可以将更多的传感器和存储器集成在一起,大大提高传感器芯片的感知能力和数据处 理能力.在未来的仿生神经网络研究中,利用单片三维集成技术可以实现仿生的神经元连接方式,从 硬件基础上提高神经信号的传输速率和传输带宽,实现更高能效比的系统架构.

![](_page_11_Figure_1.jpeg)

图 13 (网络版彩图) 单片三维集成实现的 N3XT 系统 Figure 13 (Color online) N3XT system implemented by sequential 3D integration scheme

#### 6 结束语

从等比例缩小到功耗驱动, 微纳电子器件与工艺技术正经历着历史上最重要的创新时期. 平面晶体管时代的经验积累固然能够为新一代器件技术研究提供宝贵的借鉴, 然而变革性和颠覆性的创新更为重要. 本文重点介绍了几类面向大规模集成应用的新型器件技术和集成方法, 在这些实例之外, 还存在着其他面向不同应用领域的新器件技术, 包括高迁移率沟道器件、负电容器件、二维半导体器件、仿生神经形态器件、自旋电子学器件、光子器件等诸多新材料、新原理器件. 随着物联网、云计算、可穿戴设备、人工智能等新兴信息产业走向成熟, 以功耗驱动为中心的集成电路技术将迎来极大的发展, 而新型微纳信息器件技术也将得到长足的进步.

#### 参考文献 -

- 1 Moore G E. Progress in digital integrated electronics. In: Proceedings of International Electron Devices Meeting. New York: IEEE, 1975. 11–13
- 2 Song T, Jung J, Rim W, et al. A 7 nm FinFET SRAM using EUV lithography with dual write-driver-assist circuitry for low-voltage applications. In: Proceedings of IEEE International Solid-State Circuits Conference, San Francisco, 2018. 198–200
- 3 Lin C L, Guan A, Geng H Y. 5-20 keV As<sup>+</sup> and BF<sub>2</sub><sup>+</sup> implantation and rapid thermal annealing for forming ultrashallow junctions. Nucl Tech, 1988, 11: 13–16
- 4 Chan V, Rengarajan R, Rovedo N, et al. High speed 45 nm gate length CMOSFETs integrated into a 90 nm bulk technology incorporating strain engineering. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2003
- 5 Mistry K, Allen C, Auth C, et al. A 45 nm logic technology with high-k + metal gate transistors, strained silicon, 9 Cu interconnect layers, 193 nm dry patterning, and 100% Pb-free packaging. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2007. 247–250
- 6 Kikkawa T. Current and future low-k dielectrics for Cu interconnects. In: Proceedings of International Electron Devices Meeting, San Francisco, 2000. 253–256
- 7 Hisamoto D, Lee W C, Kedzierski J, et al. A folded-channel MOSFET for deep-sub-tenth micron era. In: Proceedings of International Electron Devices Meeting, San Francisco, 1998
- 8 Auth C, Allen C, Blattner A, et al. A 22 nm high performance and low-power CMOS technology featuring fullydepleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. In: Proceedings of Symposium on VLSI Technology, Honolulu, 2012. 131–132
- 9 Seo K I, Haran B, Gupta D, et al. A 10 nm platform technology for low power and high performance application

featuring FINFET devices with multi work function gate stack on bulk and SOI. In: Proceedings of Symposium on VLSI Technology, Honolulu, 2014

- 10 Ha D, Yang C, Lee J, et al. Highly manufacturable 7 nm FinFET technology featuring EUV lithography for low power and high performance applications. In: Proceedings of Symposium on VLSI Technology, Kyoto, 2017
- 11 Lee C W, Yun S R N, Yu C G, et al. Device design guidelines for nano-scale MuGFETs. Solid-State Electron, 2007, 51: 505–510
- 12 Basker V S, Standaert T, Kawasaki H, et al. A 0.063 μm<sup>2</sup> FinFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch. In: Proceedings of Symposium on VLSI Technology, Honolulu, 2010
- 13 Pelaz L, Duffy R, Aboy M, et al. Atomistic modeling of impurity ion implantation in ultra-thin-body Si devices. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2008. 535–538
- 14 Tan K M, Liow T Y, Lee R T P, et al. Strained p-channel FinFETs with extended Π-shaped silicon germanium source and drain stressors. IEEE Electron Device Lett, 2007, 28: 905–908
- 15 Zhang Q Z, Yin H X, Luo J, et al. FOI FinFET with ultra-low parasitic resistance enabled by fully metallic source and drain formation on isolated bulk-fin. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2016
- 16 Jang D, Bury E, Ritzenthaler R, et al. Self-heating on bulk FinFET from 14 nm down to 7 nm node. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2015
- 17 Rodriguez S S, Tinoco J C, Martinez-Lopez A G, et al. Parasitic gate capacitance model for triple-gate FinFETs. IEEE Trans Electron Device, 2013, 60: 3710–3717
- 18 Khaja F A, Gossmann H L, Colombea B, et al. Bulk FinFET junction isolation by heavy species and thermal implants.
   In: Proceedings of the 20th International Conference on Ion Implantation Technology (IIT), Portland, 2014
- 19 Xu X Y, Wang R S, Huang R, et al. High-performance BOI FinFETs based on bulk-silicon substrate. IEEE Trans Electron Device, 2008, 55: 3246–3250
- 20 Cheng K G, Seo S C, Faltermeier J, et al. Bottom oxidation through STI (BOTS) a novel approach to fabricate dielectric isolated FinFETs on bulk substrates. In: Proceedings of Symposium on VLSI Technology, Honolulu, 2014
- 21 Li M, Yeo K H, Suk S D, et al. Sub-10 nm gate-all-around CMOS nanowire transistors on bulk Si substrate. In: Proceedings of Symposium on VLSI Technology, Honolulu, 2009. 94–95
- 22 Li M, Yeo K H, Yeoh Y Y, et al. Experimental investigation on superior PMOS performance of uniaxial strained ≪110≫ silicon nanowire channel by embedded SiGe source/drain. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2007. 899–902
- 23 Suk S D, Lee S Y, Kim S M, et al. High performance 5 nm radius twin silicon nanowire MOSFET (TSNWFET): fabrication on bulk Si wafer, characteristics, and reliability. In: Proceedings of International Electron Devices Meeting, Washington, 2005. 735–738
- 24 Tian Y, Huang R, Wang Y Q, et al. New self-aligned silicon nanowire transistors on bulk substrate fabricated by epi-free compatible CMOS technology: process integration, experimental characterization of carrier transport and low frequency noise. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2007. 895–898
- 25 Liu Y C, Huang R, Wang R S, et al. Design optimization for digital circuits built with gate-all-around silicon nanowire transistors. IEEE Trans Electron Device, 2012, 59: 1844–1850
- 26 Loubet N, Hook T, Montanini P, et al. Stacked nanosheet gate-all-around transistor to enable scaling beyond FinFET. In: Proceedings of Symposium on VLSI Technology, Kyoto, 2017
- 27 Seabaugh A C, Zhang Q. Low-voltage tunnel transistors for beyond CMOS logic. Proc IEEE, 2010, 98: 2095–2110
- 28 Bijesh R, Liu H, Madan H, et al. Demonstration of  $In_{0.9}Ga_{0.1}As/GaAs_{0.18}Sb_{0.82}$  near broken-gap tunnel FET with  $I_{ON}=740 \ \mu A/\mu m$ ,  $G_M=70 \ \mu S/\mu m$  and gigahertz switching performance at  $V_{DS}=0.5$  V. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2013
- 29 Huang Q Q, Zhan Z, Huang R, et al. Self-depleted T-gate schottky barrier tunneling FET with low average subthreshold slope and high I<sub>ON</sub>/I<sub>OFF</sub> by gate configuration and barrier modulation. In: Proceedings of International Electron Devices Meeting, Washington, 2011. 382–385
- 30 Huang Q Q, Huang R, Wu C L, et al. Comprehensive performance re-assessment of TFETs with a novel design by gate and source engineering from device/circuit perspective. In: Proceedings of IEEE International Electron Devices

Meeting, San Francisco, 2014. 335–338

- 31 Batude P, Vinet M, Previtali B, et al. Advances, challenges and opportunities in 3D CMOS sequential integration. In: Proceedings of International Electron Devices Meeting, Washington, 2011
- 32 Yang C C, Chen S H, Shieh J M, et al. Record-high 121/62 μA/μm on-currents 3D stacked epi-like Si FETs with and without metal back gate. In: Proceedings of International Electron Devices Meeting, Washington, 2013
- 33 Yang C C, Shieh J M, Hsieh T Y, et al. Enabling low power BEOL compatible monolithic 3D+ nanoelectronics for IoTs using local and selective far-infrared ray laser anneal technology. In: Proceedings of International Electron Devices Meeting, Washington, 2015
- 34 Yang C C, Shieh J M, Hsieh T Y, et al. Footprint-efficient and power-saving monolithic IoT 3D+ IC constructed by BEOL-compatible sub-10 nm high aspect ratio (AR>7) single-grained Si FinFETs with record high Ion of 0.38 mA/μm and steep-swing of 65 mV/dec. In: Proceedings of International Electron Devices Meeting, San Francisco, 2016
- 35 Usuda K, Kamata Y, Kamimuta Y, et al. High-performance tri-gate poly-Ge junction-less P- and N-MOSFETs fabricated by flash lamp annealing process. In: Proceedings of International Electron Devices Meeting, San Francisco, 2014
- 36 Park J H, Tada M, Kuzum D, et al. Low temperature (≤ 380°C) and high performance Ge CMOS technology with novel source/drain by metal-induced dopants activation and high-k/metal gate stack for monolithic 3D integration. In: Proceedings of International Electron Devices Meeting, San Francisco, 2008
- 37 Jung S M, Lim H, Yeo C, et al. High speed and highly cost effective 72 Mbit density S3 SRAM technology with doubly stacked Si layers, peripheral only CoSix layers and tungsten shunt W/L scheme for standalone and embedded memory. In: Proceedings of IEEE Symposium on VLSI Technology, Kyoto, 2007
- 38 Batude P, Vinet M, Pouydebasque A, et al. Advances in 3D CMOS sequential integration. In: Proceedings of International Electron Devices Meeting, Baltimore, 2009
- 39 Shulaker M M, Hills G, Park R S, et al. Three-dimensional integration of nanotechnologies for computing and data storage on a single chip. Nature, 2017, 547: 74–78

## Device and integration technologies for VLSI in post-Moore era

Ming  $LI^{*\dagger}$  & Ru HUANG<sup>†</sup>

Institute of Microelectronics, Peking University, Beijing 100871, China \* Corresponding author. E-mail: Liming.ime@pku.edu.cn + E-mail - autrilation

† Equal contribution

**Abstract** We herein review the technology transition from the scaling-driven technical roadmap to the powerdriven post-Moore roadmap, focusing on the primary trend in micro/nanoelectronics devices. The novel devices and process integration technologies in post-Moore era, such as the FinFET, gate-all-around transistor, tunneling FET, and the sequential 3D integration process were systematically analyzed to provide new insights into the everlasting evolution of VLSI technology.

**Keywords** integrated circuit, scaling, low power, microelectronics devices, FinFET, gate-all-around transistor, tunneling field-effect transistor, sequential three dimensional integration, Moore's law

![](_page_14_Picture_1.jpeg)

Ming LI was born in 1976. He received his B.S. and M.S. degrees in material physics and semiconductor physics from Peking Normal University, Beijing, China, in 1997 and 2000, respectively, and his Ph.D. degree in microelectronics from Peking University, Beijing, China, in 2003. Since 2003, he has worked at Samsung Electronics, Suwon, Korea, as a senior engineer. After 2011, he has

been a faculty member of the Institute of Microelectronics, Peking University, Beijing, China. His research interests include novel nano-scale CMOS device and nano-fabrication technology.

![](_page_14_Picture_4.jpeg)

**Ru HUANG** received her B.S. and M.S. degrees in electronic engineering from Southeast University, China, in 1991 and 1994, respectively, and her Ph.D. degree in microelectronics from Peking University, China, in 1997. Since 1997, she has been a faculty member at Peking University, where she is currently an Academician of the Chinese Academy of Sciences, and the dean

of the School of Electronics Engineering and Computer Science. Her research interests primarily include novel nano-scale CMOS devices, ultralow-power devices and circuits, emerging memory devices, and device reliability and variability. She has received the National Award for Technological Invention and the National Award of Science and Technology Progress. She is the vice chair of the IEEE EDS SRC Region 10 and an elected EDS BoG member.