



微纳集成电路和新型混合集成技术

曾晓洋^{①*}, 黎明^{②*}, 李志宏^②, 陈兢^②, 杨玉超^②, 黄如^{②*}

① 复旦大学微电子学院, 上海 201203

② 北京大学信息科学技术学院, 北京 100871

* 通信作者. E-mail: xyzeng@fudan.edu.cn, liming.ime@pku.edu.cn, ruhuang@pku.edu.cn

收稿日期: 2016-04-05; 接受日期: 2016-05-31

摘要 随着摩尔定律的不断推进, 集成电路产业迎来了巨大发展机遇的同时, 也面临着前所未有的发展瓶颈和技术挑战. 论文围绕创新的微纳集成电路和新型混合集成技术领域的基础理论和关键技术问题, 聚焦在新型低功耗器件及电路理论, 纳米尺度单片集成电路技术、微纳传感和异质集成融合技术等方向, 开展了比较广泛和深入的国内外研究现状与发展趋势综述, 旨在为人们提供一个相对全面的“后摩尔”时代集成电路创新理论与技术发展脉络图, 也尝试为新型应用驱动的集成电路技术与产品开发描绘出新的路线图.

关键词 集成电路 低功耗 微电子器件 系统芯片 混合集成 摩尔定律

1 引言

集成电路技术是信息学科非常重要的研究方向之一, 与其相关的集成电路 (IC) 产业是事关国家或地区的国民经济、人民生活、国防建设和信息安全的基础性、战略性和先导性产业, 是衡量一个国家综合国力的重要标志之一. 几十年以来, 集成电路技术与产品基本遵循摩尔定律 (Moore's law) 在不断快速向前发展, 以 CPU、DSP、存储器等为代表的集成电路技术与产品为信息产业注入了巨大发展动力, 深刻影响着全球范围人们的生产和生活方式.

根据国际半导体技术发展路线图 (ITRS) 预测, 集成电路已进入后摩尔时代. 未来若干年集成电路技术将继续沿着摩尔定律前进, 目前已经进入了 14 nm 工艺时代, 2016 年末 10 nm 晶圆将实现量产, 但步伐将有所调整; 另一方面“超越摩尔”发展迅猛, 据 *Nature* 杂志报道, ITRS-2015 将不再专注于芯片中使用的技术, 而是采用一种“新摩尔”方法即应用驱动的方式来定义未来半导体技术发展路线, 如物联网 (Internet of things, IoT) 的迅猛发展意味着不同类型的传感器和低功耗的处理器对于相关产品更加重要, 该类设备使用的高度集成芯片需要的处理器不仅是逻辑和缓存, 也包括内存、功率调节、射频与模拟、电池、无线通信组件等, 还包括微机电 (MEMS) 组件. 而不同组件通常采用不同的制造工艺来处理不同需求. 除了目前广泛使用的硅 CMOS 工艺, 锑化铟 (InSb) 和铟砷化镓 (InGaAs) 技术也都证实了可行性. 碳基器件和二维半导体器件, 包括碳纳米管、石墨烯以及过渡金属氧化物半

引用格式: 曾晓洋, 黎明, 李志宏, 等. 微纳集成电路和新型混合集成技术. 中国科学: 信息科学, 2016, 46: 1108–1135, doi: 10.1360/N112016-00083

导体 (TMD) 等也都在一些特殊的应用领域表现出了良好的性能. 当然, 新的路线不能完全摒弃原来的几何缩减方式, 除了三栅极晶体管, 未来可能出现栅完全包围的纳米线晶体管, 继而出现整体三维集成芯片 (一块硅上多层组件构成单芯片) 来满足不断涌现的应用市场需求.

近年来, 全球范围新的应用市场不断涌现, 如物联网、人工智能、工业 4.0、机器人、虚拟现实等. 围绕新的应用市场, 集成不同的生产流程, 处理不同的材料, 设计生产综合多重类型组件的芯片将会是未来集成电路技术发展的重要趋势. 非硅集成电路技术蓬勃发展, 混合集成已经成为集成电路产业技术创新前沿, 先进的微纳集成电路和新型混合集成技术是应对后摩尔时代新挑战的重要契机, 可显著拓展微纳电子器件的应用领域. 研究者与工业界以新的应用需求为驱动力, 协同围绕着微纳集成电路和新型混合集成技术, 在新型低功耗器件及电路理论、纳米尺度单片集成电路技术、微纳传感和异质集成融合技术等相关方面开展了广泛的研究与实践, 取得了核心和关键技术的突破, 并将继续沿着这样的技术路线探索半导体技术更大的创新, 以引领集成电路产业持续向前蓬勃发展.

2 低功耗器件与电路

随着摩尔定律的不断演进, 信息处理量的急剧增长和小尺寸效应引起的功耗密度增长使得信息系统的碳排放变得不可忽视. 在未来的集成电路发展中, 抑制功耗的过快增长是最为关键的任务之一.

微电子器件的功耗问题主要来自尺寸缩小引起的短沟道效应、量子效应、强场效应等次生效应. 为了克服上述困难, 近年来基于器件结构、材料与工艺、输运原理等方面进行了大量的创新. 除了在器件层次上抑制功耗增长, 在低功耗电路设计方面开展创新研究也是抑制功耗过快增长的重要途径.

2.1 低功耗微电子器件

从新器件技术的发展路线图来看, 当前的研究还处于创新探索阶段, 诸多共性科学问题和关键技术问题还有待解决. 比如小尺寸新结构器件的寄生效应、量子效应、随机涨落、可制造性; 新材料器件的界面物理、材料技术、集成技术; 新原理器件的器件模型、工艺技术、电路设计理论; 非经典器件的材料基础、器件设计、电路架构等问题在现阶段都没有获得完满的解决, 是当前新器件技术研究的众多热点.

2.1.1 新结构器件

短沟道效应在亚微米尺度以后日益严重, 新结构器件是首先进入视野的解决方案, 这类新结构器件以超薄体沟道和多栅为典型特征^[1,2]. 超薄体沟道减小了源漏结深, 并利用沟道下方的绝缘介质层切断了体区的泄漏通路, 能够有效抑制短沟道效应. 多栅器件增加了栅电极对耗尽区电荷的控制能力, 在超薄体沟道的辅助下可以实现更小的特征尺寸.

UTBSOI (Ultra-Thin-Body Silicon-On-Insulator) 技术的优势在于完全与体硅平面器件技术兼容的制造工艺和电路设计技术^[1]. 但是, UTBSOI 器件的缩微能力完全决定于硅膜的厚度, 因此在工艺制造难度和短沟道控制能力之间存在较为严重的矛盾. 而且由超薄硅膜引起的次生效应, 比如源漏寄生电阻、硅膜厚度涨落、表面声子散射、自热效应等对 UTBSOI 器件的特性影响十分严重. 针对这些问题, 已经开展了很多相关的研究, 比如通过超平坦化抛光技术实现原子级平坦的超薄硅膜, 利用外延技术降低源漏寄生电阻, 采用应变 UTBSOI 技术补偿迁移率退化, 通过减薄埋氧层厚度降低自热效应等. ST (ST Microelectronics)、IBM 等公司还提出利用薄埋氧层技术 (UTBB) 改善 UTBSOI 的缩比

能力^[3]. 即使采取了诸多改进手段 UTBSOI 器件在推进到 10 nm 及以下节点时, 硅膜的厚度仍要求小于 5 nm, 这对于大规模制造而言存在极高的挑战.

不同于 UTBSOI 技术, FinFET 技术通过光刻和刻蚀工艺形成竖直的鱼鳍状超薄体沟道区 (fin), 栅电极跨越在沟道区上, 形成“几”字形的结构同时从顶端和侧面对沟道电荷进行控制^[2]. 这种结构使得 FinFET 器件的等比例缩小能力更强, 能够大幅放宽对沟道厚度 (fin 的宽度) 的要求, 而且版图面积效率高, 在相同集成密度下获得的驱动电流更大. FinFET 器件也存在与 UTBSOI 类似的共性问题, 比如寄生电阻、硅膜厚度涨落、迁移率退化、多阈值控制等. 不过, 近年来的大规模生产实践表明这些问题基本能够得到缓解. 相比较 UTBSOI, 体硅 FinFET 面临的一个较为特殊的问题是体区穿通的问题, 需要采用防穿通掺杂或者体区隔离等措施, 例如 BOI FinFET (body-on-insulator FinFET) 结构^[4].

当 FinFET 器件进一步缩小时, 将会进化成围栅纳米线这一极限结构. 围栅纳米线器件具有最强的短沟道效应抑制能力. 围栅纳米线器件除了面临超薄体引起的共性问题之外, 还面临着更为严峻的制造工艺挑战, 即形成可控的纳米线结构. 为此, 三星电子提出利用 SiGe 外延和选择性腐蚀的方法制造悬空纳米线^[5], IBM 提出在 SOI 衬底上对埋氧层进行选择性腐蚀和氢气退火形成边缘光滑的纳米线^[6], 而北京大学提出了对硅 Fin 进行自限制氧化结合底部腐蚀形成悬空纳米线的方法^[7].

从目前技术发展的趋势来看, FinFET 在 14 nm 以下节点是主流的器件结构, 并可能在 5 nm 及以下节点进化成为围栅纳米线器件形态, 而 UTBSOI 作为一种补充, 在一些特殊领域存在一定的应用.

2.1.2 新沟道材料器件

除了改善短沟道效应之外, 直接降低电源电压是最直接有效的降低功耗的办法, 但是这将造成性能下降. 采用高迁移率材料有可能为此提供一条解决之道. 特别地, 大部分高迁移率沟道材料同时具有较小的禁带宽度, 这有助于低电压下的阈值开启. 目前受到广泛关注的高迁移率沟道材料主要有锗基材料和 III-V 化合物半导体材料等^[8]. 一般 Ge 基材料的空穴迁移率比较突出, 而 III-V 材料的电子迁移率较高. 但是 Ge 基材料的迁移率对称性要好于 III-V, 这也是目前 Ge 基 CMOS 技术受到重视的原因. 此外, 采用 Ge 基 pMOS 和 III-V nMOS 器件的混合 CMOS 集成技术, 一直以来也是研究热点.

锗和 III-V 化合物体系的高迁移率沟道材料普遍存在氧化物热稳定性差的问题, 容易产生高密度的界面态, 对器件特性造成严重影响, 是限制高迁移率材料在大规模集成中应用的主要共性问题. 为了修复界面态, 目前主要采用的手段有氢、氟、氮、硫等表面钝化技术; 采用高压氧化或者栅介质后持续退火方法形成稳定的热氧化层; 在衬底表面外延低表面态赝沟道材料等方法. 高迁移沟道材料另一个共性问题是源漏寄生电阻问题, 主要是金属接触的肖特基势垒问题和源漏杂质固溶度问题. 最近几年在高迁移率材料的源漏工程方面已经取得了很多进展, 其他包括脉冲式激光退火、多次注入多次退火^[9]、固相外延法^[10]、氧化层插入层钉扎法^[11]、自对准金属化合物源漏^[12]等等. 由于高迁移率材料通常不能采用高温工艺, 这对源漏电阻的改善是一个本质的障碍, 需要进一步进行探索.

锗和 III-V 化合物半导体材料一般具有较高的介电常数, 而且较难形成超浅结源漏, 因此短沟道效应较差. 此外, 某些材料的禁带宽度非常小, 使关态泄漏电流增大, 静态功耗增加. 为了适应小尺寸应用需求, 需要将高迁移率沟道材料和超薄体多栅器件结构结合起来, 比如 InGaAs-OI 器件^[13]、InAs 围栅纳米线器件^[14]、Ge FinFET^[15]等, 来遏制关态电流的增长.

除了锗和 III-V 化合物半导体之外, 具有原子级厚度的二维材料, 包括石墨烯^[16]和过渡金属硫化物^[17], 由于具有理想的短沟道控制能力和独特的光、电、物理特性, 近年来受到广泛的关注. 但是, 石墨烯和 TMD 材料也同样存在界面态和源漏接触电阻问题. 此外, 石墨烯的禁带宽度为零, 无法实现

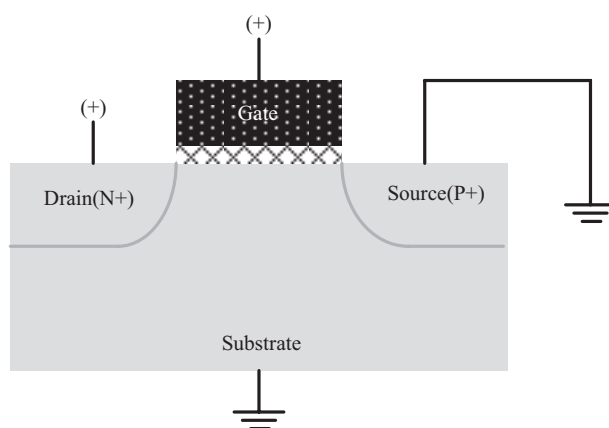


图 1 N 型 TFET 的器件结构示意图

Figure 1 N-Type TFET

正常的开关特性. TMD (Transition-Metal Dichalcogenide) 构建的微电子器件目前报道的最高迁移率大约在 $300 \text{ cm}^2/\text{Vs}$ 左右^[18], 还不如传统硅基 MOS 器件, 因此还无法取代硅基器件在逻辑电路中的作用. 不过石墨烯和 TMD 在柔性衬底上表现出较好的电学特性和抗弯折能力, 非常适合制备柔性电子器件和电路^[18], 这会是二维材料器件将来的主要路线之一.

限制新材料应用的瓶颈主要在于如何与现有的硅基技术体系有效地融合, 解决不同材料体系间的工艺兼容问题将是新材料体系大规模进入集成电路产业的最为重要的关键技术.

2.1.3 超陡峭开关器件

降低功耗的另外一个途径是实现超陡峭的亚阈值开关特性, 使得器件的开关能耗显著下降, 尤其适用于 IoT 和植入式应用等对功耗要求非常苛刻的电路系统. 可通过改变 MOS 结构中栅电压与沟道表面势之间的耦合关系或者改变沟道电流对表面势的依赖关系来提升器件的开关陡峭度. 实现前者的方法主要有负电容耦合机制^[19]或者机械继电器机制^[20]; 实现后者的方法则主要有碰撞离化^[21]和量子隧穿^[22]. 在参考文献^[23]中对当前主要超陡峭开关器件的工作原理有十分详细的论述. 在目前的研究热点中, 隧穿晶体管 (tunneling FET)、负电容晶体管 (NCFET) 和纳机电继电器 (NEMS relay) 受到更多的关注. 其中隧穿晶体管被认为是最具潜力的超陡峭开关器件之一.

隧穿晶体管的基本结构为一个栅控 P-i-N 二极管, 如图 1 所示, 其基本工作原理是通过栅电压调制源端 PN 结上的带间隧穿几率, 使得载流子隧穿几率在临界电场附近急剧增加, 形成显著的栅控隧穿电流.

对于极低功耗应用, 降低功耗是首要要求, 对于速度的要求位于其次, 应考虑在保证低功耗要求的前提下适当提高驱动电流. 对于硅基隧穿晶体管来说, 硅材料的禁带宽度较大, 且为间接禁带, 因此其导通隧穿电流较低, 不及常规 MOS 器件的开态电流. 采用窄禁带材料或者异质结可以获得很高的隧穿几率, 但是由于这类材料中往往存在大量的缺陷, 造成陷阱辅助隧穿, 将破坏亚阈值摆幅特性和关态电流. 也有很多研究者通过采用多栅结构、垂直隧穿结、杂质分凝、重掺杂插入层等方法试图提高隧穿几率. 北京大学的研究小组从工作原理角度出发, 提出了肖特基 (Schottky Barrier) 隧穿动态混合控制新机理, 研制出了一种新型 T 型栅肖特基隧穿晶体管 (TSB-TFET)^[24]和优化的梳状栅杂质分凝隧穿晶体管 (MFSB-TFET)^[25], 二者具有相同的版图面积, 能同时解决隧穿晶体管开态电流、亚阈

值摆幅、电流开关比等综合性能的问题. 该器件不是传统的隧穿器件, 其开态电流主要由肖特基电流决定, 相比常规 TFET (T-gate Field-Effect Transistor) 开态电流得到了很大的提升. 当器件处于关态, 虽然传统肖特基结的热发射泄漏电流非常大, 但在 TSB-TFET (T-shaped gate Schottky Barrier tunnel TFET) 和 MFSB-TFET (Multi-Finger-gate TFET with Schottky Barrier source) 中, 由于栅延展区两侧 P+-i 隧穿结的内建势对所夹区域的耗尽作用, 使得该处的肖特基结具有比传统肖特基结更高的等效势垒和显著降低的热发射电流, 实现极低的关态电流. 在器件的开关转换区, 也即亚阈态, 由于肖特基结的热发射电流受到明显抑制, 器件的亚阈电流主要由带间隧穿电流决定, 且由于 T 形栅/梳状栅设计能增加带间隧穿结处的电场, 器件不仅能突破传统 MOSFET 的亚阈值摆幅极限, 还能比常规 TFET 具有更加陡直的亚阈特性. 研制出的硅基 MFSB-TFET 由于具有优化的栅形貌和杂质分凝调制的肖特基结, 不仅将电流开关比提升到 10^8 以上, 还将亚阈值摆幅减小至 29 mV/dec, 这是目前报道的硅基 TFET 中的最低值. 相比传统 MOSFET, 以 MFSB-TFET 为架构的数字电路可在 0.4 V 的超低工作电压下将功耗降低 25%, 显示出在高效低功耗电路中重要的应用潜力.

除了隧穿晶体管之外, Purdue University 提出利用铁电绝缘介质的负电容现象实现了栅电压对表面势的放大^[19], 这样等效地增大了栅电压的控制作用, 提高了亚阈值区的陡峭度. 但是这类器件只有在总体电容为正的情况下才能使铁电介质处于稳定负电容状态, 这对铁电介质材料的选择和厚度设计提出了非常苛刻的窗口, 制约这类器件的应用.

纳机电继电器是利用机械悬臂的物理位移实现的超陡峭开关, 理论上可以实现从 0 到 1 的阶跃突变^[20]. 这类器件可以达到理论上的零静态功耗, 但是由于其机械形变的本质, 在器件的重复性、耐久力等方面存在十分艰巨的挑战, 需要从材料特性和结构设计上加以解决.

超陡峭开关器件具有很好的工艺兼容性, 对平台的适应能力高, 可在极低功耗要求的 IoT, 可植入式系统等方面获得应用, 是后摩尔时代非常重要的一类新型器件.

2.1.4 新型存储器件

新型非易失性存储器件在低功耗应用方面同样起着重要作用^[26]. 当前主流的闪存技术基于电荷存储原理, 其在平面内的集成密度已经接近物理和工艺两方面的极限, 近年来三维集成技术 (3D NAND flash) 的出现有效缓解了这一问题, 通过多层堆叠等效地将特征尺寸降低到 10 nm 以下. 三维 NAND Flash 存储技术蓬勃发展的同时, 相变存储器 (PCRAM)、自旋转移力矩存储器 (STT-MRAM)、阻变存储器 (RRAM) 等新技术的研发也受到很大关注. PCRAM 通过相变材料在晶态和非晶态条件下不同的电阻状态实现数据存储, 具有擦写速度快、循环寿命高等特点, 但 PCRAM 基于热效应的工作原理使得器件在低功耗应用中受到局限. STT-MRAM 利用电子自旋力矩使磁化反转从而实现数据存储, 具有超低功耗, 并且理论循环寿命趋于无限, 但 STT-MRAM 磁化状态易受热效应影响, 器件开关比也有待提升. RRAM 基于离子输运与局域导电通道机制, 具有结构简单、微缩性好 (<5 nm)、循环寿命、高功耗低 (<1 pJ) 等优点, 但器件在一致性等方面的本质问题难以满足规模应用需求. PCRAM (Phase Change Random Access Memory)、STT-MRAM (Spin-Transfer-Torque Magnetoresistive-Random-Access-Memory) 和 RRAM (Resistive Random-Access Memory) 各自存在的问题使得它们在短期内仍无法取代闪存, 针对以上技术的优化与改进是当前的研究热点, 同时人们也在为新存储技术寻找其他可能的应用.

2.1.5 逻辑存储融合器件

传统的 von Neumann 体系将逻辑电路和存储电路分开, 信息的处理和传输效率较为低下, 较多的能量消耗在数据的交换上. 采用逻辑存储融合的非 von Neumann 体系, 比如类脑芯片, 可以大幅提高信息处理与存储能效, 从而降低电路的整体能耗^[27]. 类脑芯片在体系架构上借鉴大脑神经网络高度互联的特点, 采用逻辑与存储紧耦合的结构, 其基本单元模拟生物神经元与突触的信息处理功能. 类脑芯片的整体功耗与所用器件紧密相关. 基于晶体管的类脑芯片在工艺上具有较高的成熟度, 但芯片面积和功耗需要优化; 近年来出现的神经形态器件, 如忆阻器, 是一种无源, 可微缩器件, 能够从物理层面上高精度模拟突触可塑性, 在构建低功耗类脑芯片方面有着巨大潜力, 已成为当前研究的焦点. 此外, 与忆阻器类似的忆感器与忆容器同样可作为逻辑存储融合器件^[28]. 除了类脑芯片之外, 还可以通过在非易失性存储器中直接进行逻辑运算的方法 (logic in memory) 实现高效信息处理, 运算结果直接存储在相同物理器件当中, 从而实现逻辑存储融合的新功能新架构, 候选技术主要包括忆阻器、相变存储器等.

2.1.6 非电荷器件

电荷器件 (charge based transistor) 在进行逻辑状态存储和处理时, 工作电压受到热噪声极限的限制不能无限降低, 由此产生的焦耳热对电路功耗形成了最低限制. 为此, 人们提出了以非电荷物理状态为载体的新型信息器件, 称之为非电荷器件 (non-charge based transistor), 包括自旋晶体管、纳米磁畴逻辑器件、激子器件、赝自旋器件、全磁逻辑器件等, 其中自旋晶体管^[29]和全磁逻辑器件^[30]近年来受到较为广泛的关注.

自旋晶体管利用铁磁材料中电子自旋极化引起的磁阻或者隧穿磁阻现象来实现 0 和 1 的信息编码^[29]. 这类器件在电子自旋波的调制和传输中不需要很高的能耗, 但是在极化注入和检测端则需要花费较高的能耗.

为了实现真正的低功耗操作, 有研究者提出利用全铁磁材料构建逻辑器件和电路^[30]. 最近的研究成果提出了一种全磁逻辑门器件 mCell, 将电磁写入过程和读取过程分离, 在待机状态下信息能够得以保持, 并且不存在泄漏电流. 由于 mCell 全部由铁磁金属构成, 可以在极低电压下工作, 这样的全铁磁设计有望实现真正的低电压低功耗电路, 并构建出非易失性的逻辑电路.

新型低功耗微电子器件技术是微纳集成系统持续发展的新动力, 在解决未来信息系统的能耗瓶颈方面将发挥至关重要的作用. 当前的新器件研究主要体现在结构创新、材料创新、原理创新上. 以硅基器件为基础的新器件技术将仍然占据未来集成电路发展的很长一段时间. 以超薄体器件和多栅器件为代表的新结构器件率先进入大规模生产, 并将持续到摩尔定律的技术末端. 随着技术推进, 高迁移率沟道材料有望替代硅沟道, 结合新结构, 为器件提供更好的性能和更低的功耗. 与此同时, 以隧穿晶体管为代表的新原理器件在超低功耗领域, 尤其是在 IoT 和可植入式设备方面将获得应用前景. 另一方面, 发展以逻辑存储融合和非易失性逻辑为特点的新技术, 将有助于从计算架构方面突破现有信息系统的能耗效率瓶颈.

2.2 低功耗电路理论与应用

除了基于微电子器件结构、材料与工艺、工作原理等方面进行的创新可以有效降低功耗之外, 采用降低芯片电路层次的能量消耗也是重要途径之一. 为此, 全球范围内的研究者都在围绕低功耗/超

低功耗电路理论与实践开展研究, 同时在不同层次的多个关键问题的探索中都取得了一些积极的研究进展.

2.2.1 亚阈值电路逻辑

近年来, 亚阈值 (subthreshold) 电路被认为是实现超低功耗芯片不可或缺的技术途径, 亚阈值电路逻辑及其设计方法得到了研究者广泛的关注.

Shoaran 等^[31]提出了亚阈值源耦合逻辑电路 (subthreshold source-coupled logic, STSCL). STSCL 运用片上偏置产生电路在亚阈值工作区能够应对全局性工艺波动, 达到很好的鲁棒性. 但必须利用特殊设计技术来解决器件参数失配问题. 在文献 [32] 中, Jorgenson 等系统地总结了无时钟逻辑设计的优势和缺陷, 分析其在解决亚阈值电路时序不稳定性上的重要潜力. 该研究以一种延时不敏感无时钟逻辑为例进行了亚阈值电路设计实践. 结果表明只要较大比例的电路单元采用了该无时钟逻辑, 电路就能获得 7 至 20 倍的能效提升. Kaizerman 等^[33]提出了一种亚阈值双模逻辑电路, 能够根据性能需求在静态模式和动态模式之间进行切换. 当性能需求较低时, 该电路处于静态模式以减小功耗, 而当性能需求提高时, 该电路才转换到功耗较高的动态模式. Chanda 等^[34]对亚阈值绝热电路进行了研究与实现. 实验结果表明, 与等价的标准 CMOS 逻辑电路相比, 亚阈值绝热电路能够取得显著的能效提升. 同时考虑到温度变化和工艺波动的重要影响, 该电路的可靠性也得到了充分分析. Vaddi 等^[35]针对亚阈值逻辑提出了电路与器件联合设计与优化的技术方法, 通过研究栅氧化层厚度、沟道长度、阈值电压、供电电压、温度、反向衬底偏置等器件与环境参数的波动对亚阈值电路性能的影响, 进而探索提升能效与鲁棒性的设计方法.

上述关于亚阈值电路理论与实践结果, 尽快存在一些尚需进一步完善和提高了的方面, 但还是为未来人们研究开发基于亚阈值逻辑的电路芯片奠定了基础, 成为未来超低功耗集成电路芯片重要的创新途径.

2.2.2 环境能量获取技术

可植入、可穿戴医疗健康产品以及物联网传感节点等应用场景决定了集成电路芯片无法装备大容量电池或频繁更换续航电池. 因此, 如何高效率地从环境中获取或收割能量的电路技术就逐渐受到研究者的特殊青睐.

整流器 (rectifier) 电路是实现集成化无线能量获取的基本途径^[36~43]. 在无线能量获取系统研究初期, 该电路仍沿用传统的二极管整流桥, 正向压降一般在 0.5 V 左右, 过高的正向压降不但会牺牲本来就很低的获取电压, 还会严重影响系统效率. 为了改善系统性能, 近年来提出了有源整流电路的概念, Lam 等^[39]提出了一种有源整流结构; Seeman 等^[40]提出了一种新的电压采样有源整流结构, 并与传统的二极管整流桥结构进行了对比测试, 测试结果表明采用传统的二极管整流桥比采用有源整流电路的功耗高出 4 倍以上; Cheng 等^[43]提出了一种电流采样有源整流结构, 这种结构可以改善之前结构出现的振荡现象, 提高系统的整体效率. Hashemi 等提出了一种适用于植入式生物医疗设备的全波集成整流器电路 (请参考文献 [44] 中的图 3), 它可以针对较低的源供电电压达到很高的功耗效率和电压转换比.

除了通过整流器电路从环境中获取无线能量的基本途径之外, 研究也在不断寻求新的方式如通过微机电 (MEMS) 系统将动能、势能等转换为电能, 通过化学变化方式获取能量等, 这些也是未来芯片能量获取的有效方式.

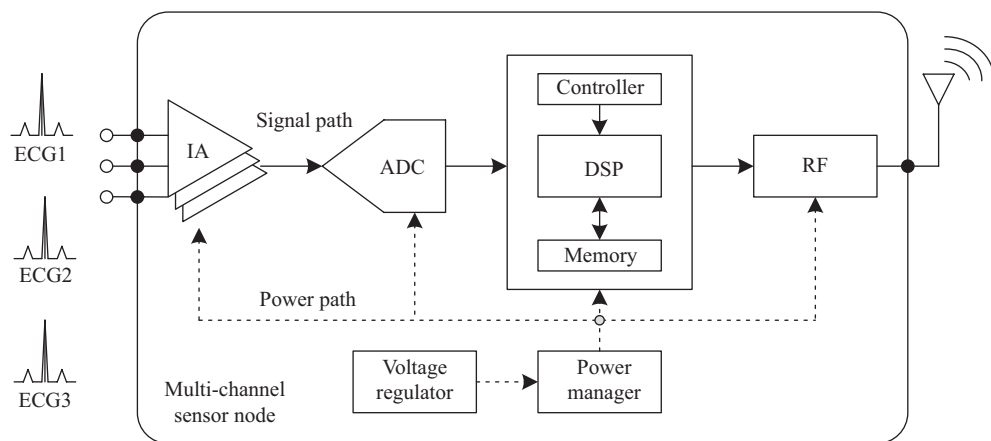


图 2 典型生物信号感知处理节点系统架构 (参考文献 [46] 中的图 1, 有修改)

Figure 2 Architecture of sensor node for biomedical signal monitoring (Courtesy: Reference [46])

2.2.3 算法架构与电路的协同优化

万物互联和日趋智能化的时代, 要实现能效最优化除了底层电路优化设计之外, 还必须从系统层面进行全盘考虑. 因此, 高能效系统算法、芯片架构以及电路结构的协同优化也是研究者重要的研究方向之一.

芯片内部信号处理 (尤其是微弱的生物信号处理) 迫切需要降低功耗与提升能效. 复旦大学研究小组提出了一种降采样小波滤波方法, 通过分析电信号的频率特性, 改进了小波滤波器的计算过程, 从而在不降低数据采样率的条件下能够准确完成心电信号的 R 波检测 [45]. 通过在算法级采用降采样技术, 使得系统工作过程中的计算和访问内存次数大幅缩减, 因此心电信号处理的能效显著提高.

对于混合信号系统, 模数转换器 (ADC) 的采样频率不仅与模拟模块的功耗密切相关, 而且决定了后续数字系统的数据处理载荷. 为此, Hyejung 等 [46] 提出了采用自适应采样 ADC 与连续小波变换 CWT 相结合的心电信号 (ECG) 处理系统, 图 2 给出了一个典型的生物信号感知处理节点的系统架构. 在 ECG 信号变化平坦缓慢的阶段, ADC 使用较低采样频率, 一旦发现 ECG 信号变化加快 (即周期性尖峰马上到来) 时, ADC 就提升采样频率. 这样既可以保证采集到 ECG 的有用信息, 又降低了 ADC 功耗, 同时大幅减少了采样数据, 从而缩减后续 CWT 的计算强度. 实验表明该方法能够使整个 ECG 信号片上处理系统的功耗下降 36%.

研究表明, 超低功耗信号处理平台 (如健康监护系统) 中射频无线传输占据系统功耗的绝大部分. 而采用高效数据压缩技术能够大幅降低传输的比特数, 从而尽可能地控制系统的总体功耗. 数据压缩技术具有广泛的应用背景, 也具有较长的发展历史, 但是面向超低功耗应用场景, 许多技术需要重新考量和进一步突破. 以往用软件方式实现的高复杂度压缩算法, 虽然压缩性能优良, 但是不适用于超低功耗信号处理平台. 为此, 复旦大学研究小组提出了一种基于无链表多级树集合分裂 (NLSPIHT) 的 1.5 维压缩算法 [47]. 该算法用一维小波变换替代传统的二维小波变换, 再通过一种重排列方法, 将一维小波系数重构为一个二维矩阵, 使其数据结构符合 NLSPIHT 压缩的特征要求, 从而实现高效率的信号压缩. 该算法通过小波变换的降维, 使得信号矩阵的每个数据块的处理过程降低了 2~3 倍的运算强度和约 2 倍的存储器访问次数. 该方法非常适合应用于可穿戴、可植入的健康监护设备, 使其满足超低功耗需求.

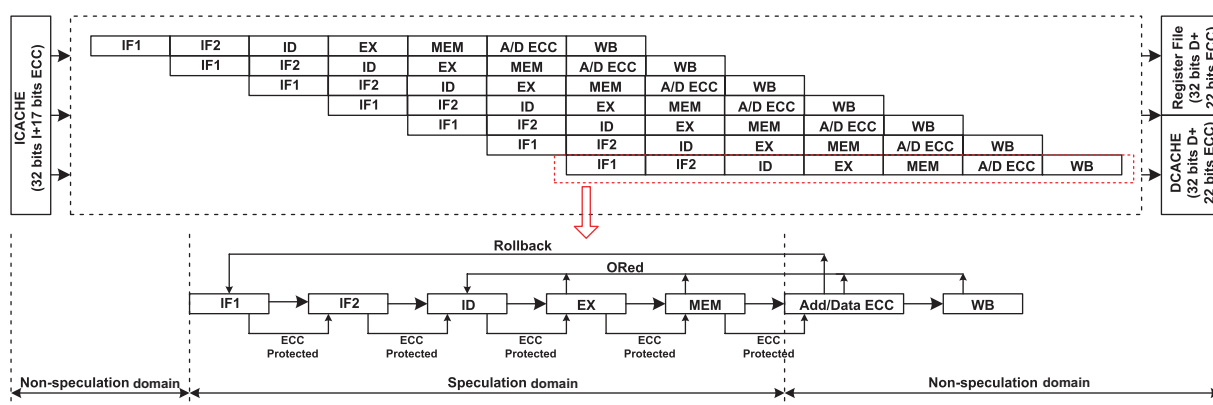


图 3 (网络版彩图) 具有容错能力的 RazorII 处理器流水线结构 (参考文献 [50] 中的图 8, 有修改)

Figure 3 (Color online) Pipe-line architecture of the RazorII processor with fault-tolerance (Courtesy: Reference [50])

从系统层面出发, 优化系统算法、设计合适的超低功耗电路架构, 并且针对关键的信号处理、数据转换与射频收发模块开展电路结构优化是保障数据处理效率, 降低系统能耗非常有效的途径, 也是未来超低功耗电路系统重要的技术趋势。

2.2.4 超低功耗微处理器

在物联网、现代工业控制、新型机器人等领域, 具有高可靠性的嵌入式超低功耗微处理器成了近年来国际上研究者关注的热点问题。

在 IEEE International Solid-State Circuits Conference (ISSCC) 2015 上, Myers 等 [48] 提出一个面向无线传感网应用的低功耗系统。该系统集成了一款工作在亚阈值区的 ARM Cortex-M0 处理器, 能够实现 250~900 mV 的宽电压范围工作。在亚阈值超低电压环境下, 微处理器的流水线结构设计需要慎重考虑。电路的时钟树设计变得极富挑战性, 因为时钟树的延时将对电压、温度、工艺等波动十分敏感, 这造成电路的保持时间 (hold time) 很难收敛。在常规电压下通常采用加缓冲器的方法来平衡时钟树, 但是这在低电压环境下却适得其反。文献 [48] 中的对比实验表明采用低阈值器件构建且缓冲层次较少的时钟树能够更好地抑制时钟偏斜。

动态电压频率调整 (DVFS) 也是微处理器提升能效的重要途径, 它是根据芯片不同时刻对运算性能的不同需求, 动态调整工作频率与电压, 从而既保证芯片正常工作又降低了总体能耗。除了对芯片整体供电电压的调整方法以外, Nose 等 [49] 更是进一步提出了一种基于背栅偏置调整的阈值电压跳跃技术, 能够使嵌入式处理器根据任务负载判断功耗需求, 通过软件配置动态调整电路的工作频率和阈值, 从而全面优化电路的动态和静态功耗。另外, 微处理器的电路故障会在系统级导致极其严重的后果, 因此要深度降低电压必须解决微处理器的纠错问题。Das 等 [50] 提出了一种延时故障和软错误检测容纳机制, 设计实现了相应的 RazorII 触发器, 应用于一个 64-bit 位宽、7 级流水线的处理器上。如图 3 所示, 该处理器同时具备指令重放与架构级修正能力, 一旦发现某条指令发生严重错误, 该处理器能够清空流水线, 调整时序约束, 使该指令重新正确执行。

根据应用场景需求设计宽电压容忍能力, 能够动态调整工作频率, 并且具备高度的故障检测与修复能力的超低功耗处理器是未来人们必须突破的技术瓶颈 [51], 从而为复杂环境条件下的片上系统提供技术支撑在物联网、现代工业控制、新型机器人等领域, 具有高可靠性的嵌入式超低功耗微处理器

成了近年来国际上研究者关注的热点问题。

3 纳米单片集成电路技术

集成电路产品已经进入 14 nm 工艺节点, 10 nm 晶圆也将在 2016 年实现量产。如何在纳米工艺条件下, 将越来越复杂的电子信息系统集成到单片集成电路芯片上是全球范围内研究者面临的技术挑战问题。而应用驱动型的系统芯片 (SoC) 基础问题和核心技术研究是该领域的重要推动力。一个重要的趋势是针对各类应用需求将越来越多的功能部件整合进同一颗芯片中。

目前, 全球研究者围绕纳米工艺节点单片集成电路技术, 正在开展研究 14 nm 及以下工艺节点的低电压单片集成系统芯片的基础理论、电路结构与实现技术; 面向多系统并存的多模可重构的射频、基带处理器芯片架构与电路技术; 高安全性、高可靠性的异构多核处理器软硬件协同设计技术等。为未来 5G 通信、物联网、大数据、人工智能、虚拟现实、信息安全等应用提供创新技术的重要支撑。

3.1 射频、模拟与数字逻辑单片集成与抗干扰技术

随着 CMOS 集成电路工艺的持续进步, 硅片上可集成越来越多的晶体管, 单颗 SoC 芯片已经可以集成多达几十亿的晶体管。另一方面, 随着消费者对待机时间, 轻薄外观、高性能、高可靠性需求的不断增加, 将越来越多的功能模块集成到单一 SoC 芯片里面成为主流趋势。这样一方面可以减少系统的芯片数量, 产品可以做的越来越小; 另一方面, 多模块的芯片级集成还能大大降低系统功耗, 提高系统工作稳定性。

传统的射频、模拟与数字逻辑电路往往采用不同的半导体工艺技术, 这就成为芯片级系统集成的最大瓶颈问题。同时, 模拟与射频电路抗干扰性较弱, 而数字电路抗干扰性较强; 模拟、射频与数字电路分别有不同的电源电压, 对电源的抖动干扰等要求亦有所不同; 模拟和射频电路处理的都是模拟信号, 数字电路处理的是数字信号, 亦需要在片上集成 AD/DA 等信号转换电路。解决上述问题的相关技术成为当前和未来很长时间内纳米单片集成电路领域热门的课题, 比如利用数字辅助射频技术来实现数字电路与射频电路的单芯片整合^[52~54], 集成传感器、ADC、数字电路的植入式医疗芯片^[55]等。

面向物联网应用的节点处理芯片除了需要尽可能将射频、模拟、数字进行单芯片集成外, 还需要特别考虑低功耗问题; 而面向医疗健康领域应用的可穿戴、可植入芯片则对能量管理更为苛刻, 有些甚至需要自我采集能量。针对上述新型应用需求, 此类超低功耗系统芯片往往需要集成特定的能量管理 (power management) 和能量传输 (power transfer) 电路^[56], 或者能量收集 (energy harvest) 电路^[57], 而这也是当前纳米单片集成电路领域极为热门的研究课题。

当数字电路与模拟电路、射频电路进行芯片级整合时, 数字电路内部频繁的 0/1 跳变就成了芯片内部最大的噪声源。该噪声会对模拟、射频类电路产生很强的干扰, 最终导致电路功能出错或精度下降。为了解决上述问题, 一般会采用隔离、集成噪声传感器, 进行噪声补偿等相关技术^[58]。另外, 数字电路的工艺升级是十分简单而高效的, 而对于模拟、射频电路而言, 工艺的升级几乎等同于电路的重新设计, 周期费时耗力, 且存在诸多不确定性因素, 电路仿真与流片结果有时差异巨大, 往往成为器件工艺升级的最大瓶颈问题。针对上述问题, 目前研究者们开展了众多的模拟、射频模块的数字化工作, 比如全数字可综合的 PLL 设计^[54]。通过将传统的模拟或射频模块进行数字化, 或辅助数字化使得后期的工艺升级换代变得更为简单可靠。

具有高抗干扰能力的数字、射频和混合电路模块的单片集成技术可以有效解决不同类型电路集

成过程中的信号干扰问题, 并具备低成本的工艺升级换代优势, 为未来超低功耗应用提供良好的单芯片解决方案.

3.2 多模可重构射频收发机与数据转换技术

信息社会的基石在于信息交互的便捷性和有效性, 从海量信息无处不在 (ubiquitous) 到有效信息主动发掘 (ambient), 都离不开相关通信系统芯片, 包括有线连接的通讯芯片 (如以太网、USB、PCI 等) 和无线连接的通信芯片 (如 GPRS、3G、4G、5G 等). 而随着手机等个人无线终端的兴起, 单个终端设备往往需要集成多种无线通信模式. 因此, 如何在系统芯片中集成多种射频收发器以及相关数字基带并保证各通信模块正常工作就成为下一代通信系统芯片的技术难点, 而多模可重构射频收发机与数据转换技术是解决这一难题的有效途径 [59].

通过硬件可重构技术实现前端多模射频收发机, 如可重构的频率综合器、射频功率放大器、低噪声放大器、滤波器、混频器等. 可重构技术可以使得单个射频模块同时应用于多个模式或频段, 极大提高模块利用率, 减少芯片面积. 与前端多模射频收发机相配合的是后端的软件无线电 (SDR) 技术. 软件无线电通过采用宽带模数转换器 (ADC)、数模转换器 (DAC) 以及高性能的数字处理器实现对多频带下的信号解调和数字基带处理, 其基本思想是将数字电路向射频前端靠近, 利用 ADC 对整个系统频带进行采用, 用高性能的 CPU/DSP 进行基带后处理. 如文献 [60] 中所述, SDR 可以实现在 800 MHz 到 6 GHz 载波下的 200 kHz 到 20 MHz 的信号调制, 这大大简化了通信芯片的设计, 使得单一芯片可以兼容目前绝大部分的无线频段. 并且, 软件无线电还可以通过后期的软件升级实现系统的后向兼容, 在推出新一代的无线通信标准时, 仅需更新配置软件即可系统设计升级, 大大降低了升级成本.

上述多模可重构射频收发机与数据转换技术, 以及软件无线电技术有望实现未来通信系统芯片的集成化与微型化, 并增强系统的可靠性. 为未来 5G 通信系统、泛在通信系统、虚拟现实系统等提供芯片级的支撑.

3.3 基于片上网络 (NOC) 的异构多核处理器

随着芯片集成度不断增加, 能够集成各种功能模块并具有很强灵活性的系统芯片 (SoC) 已经得到广泛应用. 在纳米工艺条件下, SoC 的集成度已经提升至几十亿甚至百亿级规模, 原来在板级系统的“多核”、“网络”等系统集成技术可以直接在单一芯片内部实现. 由此, 片上网络、多核处理器相关研究成为目前纳米单片集成电路领域前沿研究课题.

片上网络不同于传统互连网络, 由于芯片内部具备极为丰富的布线资源, 片上网络可以采用 2D mesh、3D mesh [61,62] 等网络架构, 同时数据采用并行传输, 极大提高了片上网络的数据传输能力. 与网络拓扑对应的是路由算法, 由于片上网络节点众多, 各节点处理器核需要互相通信, 需要一整套路由算法来支持信息的高效传输. 对于处理器而言, 除了底层硬件以外, 还需要编译器来对处理器进行编程, 目前缺乏编译器仍然制约着多核处理器的应用. 除此之外, 片上网络的容错机制研究也是一项极为重要的工作, 在集成电路进入到百亿级规模, 难免会出现内部的晶体管失效, 如何在芯片内部出错的情况下实现容错是一项极具挑战性的前沿研究.

另外, 随着处理器核数的逐渐增多, 处理器片上处理能力越来越强, 各处理器内核需要更多, 更频繁地访问外部存储器 (如 DDR). 而由于存储器带宽有限, 芯片的管脚数目有限, 处理器与外存之间的数据交互带宽越来越成为制约系统性能的瓶颈问题. 因此, 如何将片外存储器集成到片内, 或者说在

片内集成更大的 Level3, level4 Cache 成为当前亟待解决的课题. 目前, 在 22 nm^[63]、16 nm^[64] 以及 14 nm^[65] 工艺节点上, 已经涌现了众多的研究成果可以实现集成高达 128 Mb 的 SRAM 及 SDRAM.

将 CPU, FPGA 进行芯片级整合也是技术发展一个趋势. Intel, AMD 等芯片巨头已经很早就将 CPU, GPU 整合进一块芯片并取得了商业上的巨大成功. 在某些专用计算领域, 基于指令集的多核处理器仍显性能不足, 固化的 ASIC (application specific integrated circuit, 专用集成电路) 电路仍然是行业唯一解决方案. 鉴于此, 将 CPU 与 FPGA 整合进同一块芯片, 通过 FPGA 实现专用的计算电路实现系统的性能飞跃, 而内嵌的 CPU 则为芯片提供了编程性便利. 2015 年, Intel 出资 167 亿美元并购 FPGA 行业巨头 Altera, 正是为此多核 CPU+FPGA 平台进行技术布局.

3.4 单片超高速混合信号系统技术

由于光电子模块在超高速信号传输上的独特优势, 对于一些超高速信号处理系统应用中, 需要将微电子模块与光电子模块集成到同一颗芯片中. 随着硅基工艺 (Bipolar、CMOS、BiCMOS、SOI 等) 的日渐成熟, 推动了硅基光电集成技术的快速发展. 由于 CMOS 应用最为广泛, 用 CMOS 工艺来制作光电模块成为近年来一个非常热门的研究领域.

随着晶体管的不断缩小, 芯片集成度不断提高, 在最新的 14 nm 工艺下, 金属导线的间距仅有几十纳米, 线宽仅有几个纳米, 已经接近物理的极限. 在此环境下, 晶体管间的散热、信号串扰、延迟等系列问题都成为限制摩尔定律继续发展的阻力. 而在同一芯片上同时集成微电子与光电子有望解决这一问题, 保留微电子器件的逻辑运算能力, 用光电子器件实现光互联. 由于光互联具有高速度、高带宽、低功耗、高集成度等特点, 将大大降低芯片功耗, 提高芯片性能.

3.5 技术发展趋势

日本 NTT 公司向人们展示了 2020 年信息社会下的未来用户体验^[66], 它分为 3 个层次: 顶层是云端服务器, 它记录我们的个人数据, 建立各类知识数据库, 并进行大数据处理和分析, 它可以为个人提供个性化的信息服务; 中间层是网络连接, 通过手机网络、Wifi、蓝牙等将云端与最底层的面向个人、工业应用的模块相链接; 在系统的最底端, 是极为丰富和个性化的应用型电子器件, 比如: 虚拟现实, 增强显示设备, 自然人机互动设备如触觉感知, 可穿戴设备等, 环境监测设备如智能家居、安防、物联网设备等, 健康关爱设备如运动监测、血压/血糖/心电监测, 以及新型的可穿戴电子等.

未来生活的丰富多彩, 以及更可靠、及时、安全等需求必定要依赖强大的底层芯片作为核心支撑. 因而, 面向这些前沿应用的各类系统芯片设计就变得非常迫切.

(1) 医疗健康类应用系统芯片. 需要开展前瞻性研究包括: 高效环境能量获取技术及其电路实现, 超低功耗无线通信技术, 特定应用下的生物电和微纳传感器/执行器的信号采集、信号激励、信号处理技术、超小型化导致的高集成度和无片外元件 (少片外元件) 的电路设计技术, 以及医疗健康应用的超高可靠性生物安全性问题等.

(2) 新型人工智能应用系统芯片. 与计算机科学、人工智能学科交叉融合, 基于深度学习等理论与方法, 研究智慧型的系统芯片的机理、架构与电路实现, 为未来人工智能应用提供芯片级的创新解决方案.

(3) 虚拟现实应用的系统芯片. 虚拟现实可以在 720° 范围内观看全景内容, 让人宛如身临其境, 它被认为是下一个改变世界的突破性应用. 虚拟现实应用需要海量的计算能力, 离不开性能强大的芯片支持. 特别是当前阻碍虚拟现实应用的最大瓶颈就是缺乏全景视频内容, 而全景视频的制作目前成

本高昂周期冗长, 其最主要原因在于缺乏相关芯片支持. 虚拟现实全景视频芯片的技术突破需要在优化存储器 IO 带宽、高性能视频拼接硬件、超高清 H.265 视频编码器、芯片内带宽压缩等技术上进行深入研究.

(4) 具有主动防御功能的信息安全系统芯片. 芯片易受各种软件与硬件方法的攻击, 人们采取的防御措施大部分都是被动、静态的方法. 这种方法的缺点就是很难做到面面俱到, 很难实现完全没有漏洞, 没有易攻击点的信息系统, 对于未知漏洞和攻击方法总是处于被动局面. 而自感知自组织动态安全防御的芯片将采用异构多核平台, 利用芯片内部多个具有重构能力部件的动态重组以及任务在多个处理核的实时调度, 实现整个系统变化的主动性随机性和暂态性.

4 微纳传感

微机电系统 (micro electro mechanical systems, MEMS) 是集成了电子电路和机械部件的微型系统, 是微电子技术的拓展和延伸. 但事实上现在的微机电系统已经远远超越了“机”和“电”的概念, 将处理热、光、磁、化学、生物等新兴结构和器件通过微电子工艺及其他一些微加工工艺制造在芯片上, 并通过与电路的集成甚至相互间的集成来构筑复杂的微型系统. 当微机电系统的特征尺寸缩小到 100 nm 以下时, 又被称为纳机电系统. 由于尺寸更小及其所导致的新效应, NEMS 器件可以提供很多 MEMS 器件所不能提供的特性和功能^[67]. 为了论述方便, 除了特殊说明, 下文将用微机电系统 (MEMS) 来泛指微纳机电系统 (MEMS/NEMS).

MEMS 包括感知外界信息的传感器和控制外界信息的执行器, 以及进行信号处理和控制的电路. 由于 MEMS 机构很小, 因此对外输出的能量很有限, 因此微执行器的应用远没有微传感器广泛, 其应用更多地体现在构成微传感器的组成部分 (如陀螺中的驱动器). 因此我们的主要讨论也集中在微纳传感器.

4.1 物理量传感器

以压力传感器、惯性传感器 (加速度计和陀螺) 为代表的物理量传感器设计到制造都已经成熟, 形成了规模化市场, 研究热点从学术界逐渐向工业界转移. 但随着科技水平和自动化水平的不断提高, 对这类传感器也提出了新的需求, 为满足新技术发展需求, 在研究的深度和广度方面都仍然有很大的空间.

4.1.1 压力传感器

压力传感器是最早实现商业化的传感器, 目前已经被广泛使用, 但一些特殊要求的压力传感器, 如高温、高精度、低量程、植入式压力传感器仍然需要深入研究.

高温压力传感器在石油勘探、航天、发动机控制等方面有迫切需求. 基于布拉格光栅的高温光纤式压力传感器已经实现 1100°C 的高温检测, 但光纤传感器的信号处理系统复杂, 不能微型化集成. 基于 SOI 硅压阻式压力传感器现已经实现了 450°C 长期工作和 500°C 短期工作^[68~70]. 国内的西安交通大学和北京大学在 SOI 高温压力传感器方面取得了较好的进展, 并已经在石油探井等方面开始了应用. 但新型的飞机发动机系统需要更高的工作温度, 因此如何提高工作温度仍然是下一步研究的重点. 碳化硅材料具有更宽的禁带 (3 eV), 良好的击穿特性和良好的机械强度和更高的耐温能力, 为此人们先后开展了碳化硅 HEMT 和碳化硅电容式高温压力传感器研究^[71~73], 但碳化硅在可加工性和

精度方面还存在很大困难; 随着 AlGaIn/GaN 等新型宽禁带高温半导体材料的开发^[74], 对这些材料进行应用基础研究, 是取得新型高温压力传感器的重要手段。

在生物体内压检测、真空仪器、科学研究方法需要使用高分辨率, 低压力上限的压力传感器。当硅压力传感器测量上限低于 2 kPa 时, 其精度将明显降低, 且出现不稳定, 极低量程的压力测量一直是压力测量方面的一大难题。石墨烯材料具有突出的结构特性和机械特性, 其杨氏模量比硅大 20 倍, 弹性形变范围可达 20%, 可实现单原子层或多原子层厚度, 且具有良好的导电特性和压阻特性, 适于开展低量程压力传感器研究工作。如采用激光直写石墨烯 (laser scribe grapheme) 制作的压力传感器在 20 kPa 压力范围内获得了灵敏度 0.96 kPa^{-1} (这里灵敏度定义为 $\Delta C/C_0 \text{ kPa}$)^[75]。采用石墨烯为压阻材料, 利用挤压膜效应, 研制出了灵敏度比硅压阻高 45 倍的压力传感器^[76]。

4.1.2 惯性传感器

惯性传感器是 MEMS 的最大市场之一, 已经在汽车、手机和消费电子中得到广泛应用。惯性传感器目前发展的主要趋势是集成, 一是惯性传感器与电路的集成, 二是多个惯性传感器之间的集成。前者我们将在“异质集成”部分讨论, 这里主要讨论后者。

最值得注意的是, 美国 DARPA 的微型定位、导航和时钟 (Micro-PNT) 项目支持多家研究单位开展了高精度惯性器件和集成化 MIMU 的研究, 目标是实现体积为 10 mm^3 的导航芯片, 包括三轴加速度计, 三轴陀螺和时钟芯片等。美国密歇根大学将熔融石英材料与 MEMS 加工技术及圆片通孔 (through wafer via, TWV) 三维封装技术相结合, 实现了集成化 IMU 芯片^[77]。该芯片尺寸仅为 $6 \text{ mm} \times 6 \text{ mm}$, 包含了三轴加速度计、三轴陀螺和时钟, 由六层厚度为 $50 \mu\text{m}$ 的熔融石英晶片堆叠而成, 并通过垂直通孔实现互连。美国佐治亚理工学院利用 SOI 加工工艺在单个芯片上实现了三轴陀螺和三轴加速度计及体声波谐振器的集成设计和加工^[78], 并实现了圆片级封装, 整个芯片尺寸仅为 $6 \text{ mm} \times 4 \text{ mm} \times 0.4 \text{ mm}$ 。美国加州大学欧文分校则采用了类似积木块的集成方案, 他们通过柔性材料和预先设计的定位结构将同时加工的陀螺和芯片进行正交的组装来实现集成化 MIMU^[79], 其优点是三个轴的加速度计和陀螺具有一致的性能。

目前, 高性能惯性器件研究的一个重要方向是具有旋转对称结构的振动盘或类酒杯形陀螺。美国的密歇根大学、加州大学欧文分校、伯克利分校和戴维斯分校、佐治亚理工学院等大学以及波音、霍尼韦尔、诺斯罗普·格鲁曼等公司都参与了相关研究。美国波音公司在 2014 年 PLANS 会议上报道的振动盘型陀螺零偏稳定性达到了 $0.01^\circ/\text{h}$, 是目前文献报道的性能最优的 MEMS 陀螺^[80]。类酒杯形陀螺加工工艺难度比较大, 目前密歇根大学、加州大学欧文分校等虽然已研制出了器件样品^[81,82], 但受限于目前的加工能力, 器件性能还有待进一步改进提高。国内的国防科技大学、上海交通大学、北京大学、中北大学等都在进行三维陀螺的研究, 但目前大多处于工艺研发和器件发展方面。

4.2 生化传感器

生化传感器在公共安全、环境监测、医疗健康方面有广泛而迫切的需求, 因此近年来成为研究的主要热点。对于物理量传感器来说, 只有从物理敏感效应转换为传感输出电信号的信息与能量的转换界面, 而生化传感器件内除了这个界面之外, 还存在一个首先将生化分子特异性反应信息转换为某种物理量的信息转换界面, 该界面决定了传感器的敏感度和选择性。该界面上的分子俘获与结合以及生化反应都是在分子结构尺度上进行的, 通过这些反应才可以把生化信息转化为力、热、光、声等可以被进一步感知的物理效应, 然后再由第二界面把物理效应转换为可测电信号。这就决定了生化传感器

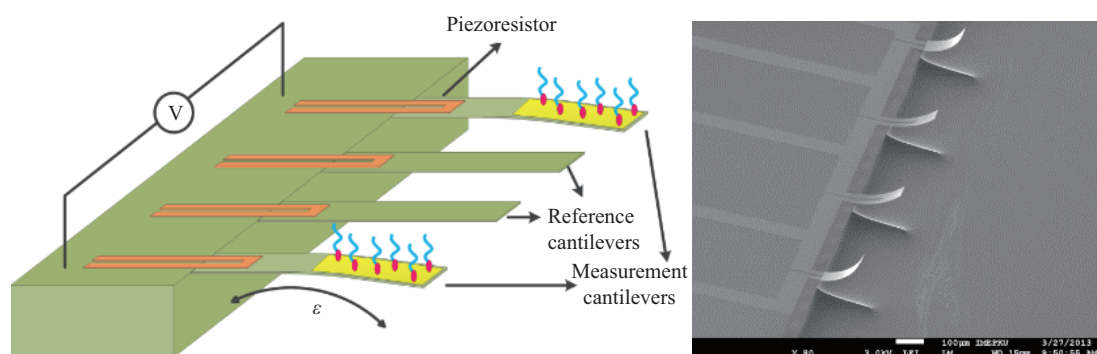


图 4 (网络版彩图) 二氧化硅包覆的压阻微悬臂梁传感器结构图及器件照片

Figure 4 (Color online) Piezoresistive cantilever sensor covered with SiO₂

与物理量传感器相比有更强的交叉性和复杂度.

4.2.1 微纳悬臂梁生化传感器

微/纳机械悬臂梁生化传感器是最典型的生化 MEMS 器件, 通常由用来特异性捕获待检测分子的生化识别元件, 以悬臂梁结构为基础的换能器和信号读出系统 3 部分组成, 其工作模式通常分为静态模式 (表面应力变化) 和动态模式 (质量或刚度变化) 两种. 工作在静态模式下的微/纳机械悬臂梁生化传感器是一种表征分子之间特异性作用引起悬臂梁表面应力变化的新型微/纳敏感结构. 当进行生化检测时, 悬臂梁的其中一个表面在表面应力的作用下发生弯曲, 这种机械弯曲响应可以转化为光/电信号. 传统的微悬臂梁生化检测技术是借鉴 AFM 光学杠杆检测系统的方法来实现生化检测的, 需要复杂的光学系统. 而利用压阻等电学检测方法, 体积小、信号读取简单、高灵敏, 得到了科研工作者的广泛关注. 目前, 通过优化悬臂梁的结构设计和制备工艺, 压阻式悬臂梁传感器已经达到了原子级的位移分辨率^[83~86]. 同时, 以压阻检测方式为敏感原理的微/纳机械悬臂梁传感器仪器制备工艺简单, 与 IC 工艺兼容等优势, 已成为实现生化分子识别, 在线监测和现场检测的强有力工具.

微/纳机械悬臂梁传感器的机械响应灵敏度除了与所受的表面应力相关, 还与悬臂梁的材料性质、几何尺寸有关. 图 4 是北京大学开发出的一种集成压阻式微悬臂梁传感芯片, 用来实现多目标毒素探测^[87~89]. 悬臂梁梁长 200 μm, 宽 50 μm, 厚 1 μm. 单晶硅力敏结构层厚 300 nm, 其上下表面分别由 300 nm 的 LPCVD 氧化硅钝化层和 400 nm 的埋氧层包裹. 为实现生化目的物检测, 在检测悬臂梁表面制备一层 10 nm/50 nm 的 Cr/Au 薄膜用于敏感分子层的选择性固定. 类似的结构也被用于有机磷, 沙林和病毒等多种生化分子的检测.

相对于应力, 基于谐振式原理的质量敏感悬臂梁具有更低的检测下限. 但谐振悬臂梁在液体中检测的 Q 值和分辨率通常较低. 上海微系统所通过改变谐振模态和局部亲疏水等设计, 从而大大减少液体阻尼, 提高了 Q 值^[90,91].

4.2.2 基于纳米结构和材料的生化传感器

纳米技术是近年来发展最为迅速的科技领域, 纳米线、纳米管、纳米孔等纳米结构和材料的优异特性提供了新的高灵敏度和高选择性的生化敏感手段. 基于纳米线的传感自从 2001 年提出特异性纳米线场效应晶体管传感后得到了极大的发展^[92], 2007 年自上而下的可兼容 CMOS 工艺的高质量纳米线传感出现后^[93], 更是将纳米线生物化学传感的精度和实用性带到了一个全新的高度, 如约

60 mV/pH 的 pH 检测 0.1 fm 的单链 DNA 探测^[94,95]. 碳纳米管作为天然极细纳米直径的管状纳米材料, 拥有高机械强度和多样的电学性质, 用它形成的场效应管可以实现比硅纳米线更灵敏的生物传感器^[96].

纳米孔技术让核酸分子穿过直径只有几纳米的孔而确定其序列的技术, 目前的生物孔和人工纳米孔两种实现方式所展示的前景均很令人期待^[97], Oxford 推出的手掌大小的纳米孔测序仪 MinION 有上千所实验室试用并发表结果^[98]. 中国在纳米材料和结构传感器方面研究活跃, 厦门大学基于表面增强拉曼 (SERS) 传感器、中科院上海微系统所的硅纳米线 FET 传感器、中科院物理所和苏州纳米所的碳纳米管传感器的研究都很有特色.

4.2.3 微纳流控系统

微流控 (microfluidics) 技术是 MEMS 技术的一个分支, 它将微泵、微阀、微流道等控制流体的微型器件集成在芯片上, 用来完成生物或化学实验室各种功能^[99,100]. 由于微流控技术采用了与微电子类似的加工方式, 因此可以将前处理、分离、扩增集成到一个芯片内, 还可以将微纳传感器集成在芯片中, 完成从取样到分析的全过程. 由于微流控芯片具有消耗样品少、灵敏度高、速度快、成本低等特点, 加之流体在微纳尺度下所具备的一些特性 (如层流等), 使之有可能在化学合成、生物分析以及医学检测等领域带来根本性的技术革新, 被广泛认为将成为生命科学领域的核心技术. 2003 年 Forbes 杂志将微流控技术评为影响人类未来 15 年最为重要的发明之一. 在微流控领域内, 申请专利和发表文章的数量自 2001 年以后有了指数级的增长, 从原来的几十篇每年增长到 2013 年的 3000 篇每年. 微流控不仅在学术研究上吸引了大量的关注, 而且经过近 20 年的研究后, 已经有很多微流控应用变成产品推向了市场. 基于喷墨打印的纸基微流控技术、微流控技术与生物微阵列技术, 组织和器官芯片等新技术是近年来的热点领域. 国内的中科院大连化物所, 浙江大学、中科院纳米中心、北京大学、清华大学、厦门大学、复旦大学等是微流控方面的研究优势单位, 取得了很好的研究成果, 并且涌现出以博奥生物为代表的一批微流控相关公司, 开始形成产业规模.

纳流体是指至少有一个维度上特征尺寸小于 100 nm 的通道或孔内输运现象的相关研究及其应用技术^[101]. 由于特征尺寸在百纳米量级以下, 宏观流动需要极高的能量来驱动, 因此在纳流体研究中往往忽略流体宏观输运, 而侧重于物质在外加势场下的扩散与迁移过程, 特别是受到外加电场以及固壁静电场作用下带电粒子的输运过程. 纳流体是指至少有一个维度上特征尺寸小于 100 nm 的通道或孔内输运现象的相关研究及其应用技术^[101]. 由于特征尺寸在百纳米量级以下, 宏观流动需要极高的能量来驱动, 因此在纳流体研究中往往忽略流体宏观输运, 而侧重于物质在外加势场下的扩散与迁移过程, 特别是受到外加电场以及固壁静电场作用下带电粒子的输运过程. 纳米通道或纳米孔内表面电荷密度和离子电导之间的关系已被用来实现各种生化传感^[102~104]. 若能将电导检测与纳流体传感相结合, 将进一步拓展电学检测在生物领域的应用.

然而, 在一个纳米尺度受限空间内进行内表面修饰是十分困难的, 修饰过程缓慢且均匀性没有保证; 且该表面探针的均匀性和成功率将严重影响纳流体传感的灵敏度和一致性, 这与纳流体器件的难加工共同限制了纳流体传感的实际应用. 近年来, 北京大学的研究者通过在微结构内自组装纳米颗粒, 利用颗粒间隙形成纳米尺度离子输运结构, 形成了纳流体晶体 (nanofluidics crystal), 有效地解决了灵敏度和通量之间的矛盾, 加工出的器件对生物素的检测灵敏度达到 10 aM^[105~107].

4.2.4 柔性微纳传感器

硅基集成电路一直在微电子领域占据绝对统治地位, 同样, 硅基微加工由于成熟, 加工能力强, 能与电路集成而一直是微纳传感器主流加工工艺. 近年来, 以柔性的塑料和薄金属作为衬底的柔性电子 (flexible electronics) 开始出现并逐渐兴起. 近年来生物 MEMS 工艺的热点逐渐转移到低成本、高生物兼容性的聚合物微加工上. 对于生物医疗应用的植入型器件和体表器件, 由于要与形状复杂的器官或皮肤表面贴合并避免组织损伤, 柔性衬底显示出其不可替代的优势. 这种生物医疗应用的柔性芯片是微电子、MEMS、材料以及生物医学等多种科学技术交叉的代表性产物, 是可穿戴和可植入器件的发展方向.

以人造视网膜芯片为代表的神经假体是植入式芯片的重要应用. 通过在眼内植入的微电极阵列, 继而对患者视网膜上残余的正常神经细胞进行刺激, 形成人造视觉^[108], 成为盲人恢复视觉的有效途径. 生物兼容的柔性衬底材料是这种芯片的前提. Second Sight 公司经过十多年的努力, 在 2013 年获得 FDA 认证, 视网膜芯片正式进入临床.

在柔性芯片方面做出最突出成果的是美国 UIUC (University of Illinois at Urbana-Champaign) 的 Roger 教授, 他于 2006 年在 *Science* 杂志上提出了利用 PDMS 和硅复合结构形成可伸缩电子 (stretchable electronics) 的概念^[109~111]. 近几年, 又进一步把这种结构从 PDMS 转移到更容易变形、更容易与皮肤贴合聚酯 (polyester) 材料上, 并集成了更多的电子元件和传感器, 提出了表皮电子 (epidermal electronics) 的概念^[112]. 通过射频传输能量和信号, 可以实时监测人的体温、ECG、EMG 等生理信息. 采用可溶性蚕丝蛋白薄膜为材料, 该研究组还实现了柔性电极阵列记录大脑皮层信号^[113,114].

碳纳米管、石墨烯等碳基材料具有很好的形变特性和导电性, 并可以作为半导体电路材料和传感材料, 因此也成为柔性衬底传感器的热门材料^[115]. 清华大学和北京大学合作研究的多种基于石墨烯编织网的柔性传感器在近期取得了一系列引人瞩目的研究成果.

4.3 技术发展趋势

随着微机电系统、微电子、微纳制造、无线通信、纳米、生物等技术的交叉融合, 微纳传感器进一步朝着微型化、集成化、多功能、智能化与网络化的方向发展. 综合看来微纳传感器研究的发展呈现两个方面的发展趋势. 一方面面向应用, 进一步与产业化接轨, 通过三维加工、高精度加工和系统集成来提升器件和系统的性能, 扩展在不同领域的应用. 在基础研究方面, 继续向深度与广度发展, 与生命科学、材料技术和纳米技术的深入融合是发展方向. 具体来说, 以下几个研究领域值得重点关注: (1) 复杂集成微纳系统加工新方法, 高性能的 MEMS 器件和系统对加工的精度和结构的复杂度提出了更高的要求, 多层多材料圆片级键合, 纵向三维结构加工, 纳米至原子级精度的几何尺寸和形貌控制需要从加工原理、方法和设备方面进行深入研究; (2) 用于微纳传感器的新材料: 对于高温、高压、强腐蚀、强辐照、高冲击的恶劣环境, 需要研究 SiC、GaN 等宽禁带、抗腐蚀材料. 特殊金属材料可满足高承载、强冲击、高温差、强腐蚀等恶劣环境要求. 生物兼容性、生物可降解材料对植入式器件和微型电子医疗器械至关重要. 石墨、有机半导体以及碳纳米管、纳米颗粒等新兴材料为实现更高性能的革命性的微器件和系统提供了可能, 这些都是值得实验的新材料; (3) 微纳复合传感器和系统: 无论对于单独的纳米传感结构还是 MEMS 传感器, 在选择性和灵敏度与一致性和重复性之间都存在着不可调和的矛盾, 这一矛盾很难在任何一个单独的技术领域内得到解决. 只有将两种技术加以结合, 才可能解决这一矛盾. 结合纳米结构的敏感原理和跨尺度制造方法, 面向国家的重大需求, 研究跨微纳尺度集成微系统; (4) 用于智慧医疗的生物微纳传感器: “智慧医疗”是个近年来新兴的一个概念, 被认为

是医疗健康领域的重要发展方向. 虽然信息化和网络化是智慧医疗的鲜明特点, 其中患者的医疗信息获取和健康情况监控才是智慧医疗的基础和当前的制约瓶颈. 基于生化微纳传感器的植入式和可穿戴式生物微系统可实现便携、低成本并且准确的床边检测 (point-of-care, POC) 设备和实时监控的可穿戴医疗设备, 是解决这一问题的关键有效手段. 同时需要微弱信号读出和放大电路、体内外无线能量和信号传输技术研究的有力支撑.

5 异质集成

将电子电路与传感器、执行器等多种不同类型的单元同时加工在芯片上以实现集成微系统是超越摩尔定律技术所追求的目标, 实现电路与不同功能结构的完全集成可以提高系统的性能, 降低加工、封装的成本.

理想的集成方式是把不同的器件在单芯片上完成, 即单片集成技术, 其集成度最高, 难度也最大. 当不同的器件由异质材料构成的时候, 所面临的挑战更大. 键合技术可以将异质衬底以圆片的形式永久结合在一起, 给异质集成带来了新的途径, 这种集成方式通常被称为混合集成. 但这种方式由于芯片之间是垂直连接的, 复杂芯片之间的电学互联很难实现. 近些年新开发出来的硅通孔互联 (TSV) 技术为芯片之间的垂直互联提供了有效的途径. 通过 TSV (Through Silicon Vias) 技术可以实现 CMOS, MEMS 以及光电子电路等多种系统的三维混合集成. 下面主要介绍基于键合技术的混合集成, 基于 TSV 的相关异质集成技术.

5.1 单片集成与混合集成

虽然通过单片集成将 IC 与 MEMS 加工在同一个芯片上, 可以减小芯片的总面积, 节省一次封装, 但这些所带来的成本优势却可能被增加的工艺复杂度和难度所抵消^[116].

从加工成本和实用化考虑, 单片集成的 Post-CMOS 工艺, 即在 CMOS 电路加工完成之后再行其他功能结构的加工是最优的方案, 这样 CMOS 电路部分的加工可以在标准的集成电路代工厂完成, 最大限度地降低设计成本和提高成品率. 因此 Post-CMOS 技术一直是集成化研究的热点. CMOS MEMS 工艺是由美国卡耐基梅隆大学开发的一种完全的 Post CMOS 集成工艺^[115,117]. 它采用 CMOS 电路中的互连金属及金属间的介质作为机械结构, 所以 CMOS 电路加工完成后只需几步各向异性和各向同性的干法刻蚀就可以完成器件的加工. 这种工艺的一个特点是所有的工艺步骤都是单面加工, 所以可以很容易地移植到基于不同尺寸衬底的工艺线上. 这种工艺的主要缺点是机械结构的厚度有限, 而且有一定的残余应力. 近年来, 台湾地区的清华大学等研究机构, 依托台积电的 CMOS 工艺, 在这方面开展了很多研究工作^[118~121]. Li 等利用台积电的 0.18 μm 1P6M (1 层多晶硅 6 层金属) CMOS 工艺成功实现了集成谐振器的加工, 性能显著优于 0.35 μm 工艺加工结果^[122]. 中科院上海微系统所发明了一种基于 (111) 晶向硅片的单面集成工艺, 实现了超小结构的集成压力传感器, 该工艺已经实现了产业化转移^[123].

由于实现不同功能的微结构种类繁多, 可能会使用到与集成电路工艺不兼容的加工方法, Post-CMOS 工艺可以实现的集成微系统还是有限的. 作为目前的主要营收来源, 台积电为 InvenSense 加工陀螺和 IMU 所采用的实际是一种混合集成工艺^[122]: CMOS 电路和 MEMS 结构分别加工在一个晶圆上. MEMS 所在的晶圆同时起到封帽的作用, CMOS 在相应的区域刻蚀出一个腔体. 两个圆片通过金硅共熔合金的方式实现键合, 形成陀螺所需的真空腔体, 同时实现圆片级封装. 该工艺在减小寄生效

应和封装尺寸的同时,也减轻了前面说到的一些集成方面的缺点.这种基于键合的混合集成技术成为工业界的一种主流工艺.这种方法不但可以实现硅基衬底上不同器件的集成,也可以实现不同衬底的异质集成.

5.2 基于 TSV 的三维集成技术

基于 TSV 的三维集成技术是应对这一挑战的有力解决方案. TSV 技术把芯片堆叠起来,使用硅通孔在垂直方向为各个芯片提供电路连接.与引线键合相比,硅通孔缩短了垂直方向电路的连接,因此大大减小了信号的 RC 延迟和互连上的功率损耗.三维集成电路和 TSV 技术极大地提高了集成度,推动工业界向“延续摩尔定律”和“超越摩尔定律”发展,在学术界和工业界掀起研究热潮.通过 TSV 技术实现 CMOS、射频电路、传感器、微流控以及光电子等多种系统的三维混合集成也是近年来值得关注的热点:采用 TSV 技术将不同的系统和元件组合在一起,形成复杂的微系统(如参考文献[124]中的图 2 所示).

随着半导体工艺技术节点进入到 14 nm/9 nm,传统的按比例缩小成本迅速增加,集成难度越来越大,迫切需要新的集成方案来解决集成度继续提高所带来的问题.近年来,三维集成技术发展迅速,逐渐成为半导体领域内的热门研究方向.三维集成技术发展过程中,所面临的首要挑战是制造高可靠和高性能的三维电路和系统,最终的目标是实现模拟、数字、存储器、射频、ASIC、MEMS 等各类芯片的异质多功能集成.异质多功能集成技术吸引了全球最主要的集成电路制造商和科研机构的大量研发投入,如英特尔(Intel)、高通(Qualcomm)、赛灵思(Xilinx)、三星电子(Samsung Electronics)、台积电(TSMC)、中芯国际(SMIC)等公司,德国的 IZM、新加坡 IME、比利时 IMEC、中国集成电路封测产业链技术创新联盟等微电子封装研究机构,均试图在新一轮的技术竞争中取得突破,以获得未来产业发展的主导权和话语权.

2013 年 10 月,中芯国际成立了视觉、传感器和 3D IC 中心(简称 CVS3D).中芯国际 CVS3D 强化了中芯国际基于硅通孔技术和其他中端晶圆制程技术(MEWP)产品的研发和生产制造能力,也标志着中芯国际从 CMOS 前端服务延伸到中端服务.2014 年 8 月,中芯国际和长电科技成立合资公司,建立凸块加工、晶圆芯片测试为主的中段生产线,并利用长电科技就近配套的倒装(flip-chip)先进后段封装生产线,为 40nm、28nm 及以下先进工艺的终端芯片服务,加上中芯国际正在建设的 12 英寸前端先进工艺技术芯片加工生产线,打造出国内首条完整的 12 英寸先进集成电路制造本土产业链.

目前异质多功能集成技术主要以 3D IC 异质集成,转接板 2.5D 异质集成以及 MEMS 三维封装异质集成为主.3D IC 异质集成是指在各种芯片上制作 TSV 和微凸点等结构,实现各种有源芯片的直接垂直堆叠互连;转接板 2.5D 异质集成是指芯片经 TSV 和微凸点键合到转接板上,通过转接板上的互连结构实现芯片间的电学互连;MEMS 三维封装异质集成是指将 MEMS 产品(如加速度计、陀螺仪、麦克风、压力计、RF MEMS 及微流控器件等)经 TSV 和微凸点堆叠互连在一起,实现多种 MEMS 器件异质集成.

就目前的发展来看,3D IC 异质集成技术的发展最为成熟,已经有许多商业产品应用到平板电脑和智能手机中.美国 Micron 和 IBM 等公司联合开发了 HMC(hybrid memory cube)混合堆叠存储器,将 DRAM 存储芯片与逻辑控制芯片通过 TSV 进行三维集成^[125].每层 DRAM 芯片划分为 16 个存储区块,不同层的存储区块组成一个垂直的存储库(vault),由底层的逻辑芯片控制. DRAM 芯片仅包含存储单元阵列和简单的电路,复杂的存储器控制功能由底层的逻辑芯片提供.这样可以对 DRAM 芯片和逻辑芯片的制作工艺分别进行优化,同时实现低成本、低漏电的 DRAM 和高性能的逻辑电路.2013 年 9 月 Micron 公司发布了第一款容量 16 Gbit 的 HMC 工程样品芯片^[126],包含 4 层堆叠 DRAM 芯

片以及由 IBM 32 nm 工艺制作的逻辑控制芯片, 可以达到 160 GB/s 的带宽, 同时减少 70% 的能量消耗. 2014 年, ARM、三星、海力士、Altera 和 Xilinx 等公司共同制定了 HMC 技术标准.

Intel 开发的 Teraflops 研究型处理器, 将逻辑芯片和存储器堆叠, 逻辑芯片为 NoC (network on chip) 结构, 包含 80 个小的网络, 每个网络分别连接到存储器的一个区块^[127].

佐治亚理工发布的 3D MAPS (3D massively parallel processor with stacked memory) 是一个双层的 3DIC^[128], 逻辑芯片和存储芯片采用面对面的方式键合, 逻辑芯片采用 GLOBALFOUNDRIES 的 130 nm 工艺, 包含 64 个工作在 277 MHz 的通用处理器核, 每个处理器核中设置有冗余 TSV, 存储芯片为 256 kB 的 SRAM, 可实现 63 GB/s 的带宽, 并且还可以进一步垂直集成 DRAM.

5.3 基于 TSV 的转接板技术

虽然目前基于硅通孔 (through silicon vias, TSV) 的 3D IC 异质集成技术已经逐渐成为主流, 但是在很多方面还不能满足实际应用的需求, 很多功能、成本和可靠性方面的问题还需要让步于制造技术. 转接板技术可以避免在集成有 CMOS 电路的芯片上进行打孔堆叠所带来的一系列问题, 作为 3D IC 异质集成技术的转折过渡, 在尖端制造技术的成品率提高以前, 被认为是目前最实用的异质集成技术^[129,130]. 转接板技术已经受到国内外工业界、学术界的广泛关注, 常见的转接板材料有硅、玻璃和柔性聚合物, 能满足复杂电路、生物医药、微波射频、MEMS 异质集成的需求. 当前国际上基于转接板技术的三维封装结构, 主要表现为单层转接板结构, 包括单面堆叠单一单层芯片、单面堆叠多个单层芯片、单面堆叠单一叠层芯片、单面堆叠单一芯片和叠层芯片, 以及转接板正反两面堆叠芯片的结构形式.

Cisco 公司在 2014 年报道了其与美国新光电气 (Shinko electronics) 合作开发的基于 TSV 转接板的 ASIC- 存储芯片三维集成样品^[131]. ASIC 芯片通过 Cu/Ni/SnAg 凸点键合在转接板上表面, 2 个存储芯片键合在转接板下表面. TSV 直径 60 μm , 节距 150 μm , 转接板的上表面和下表面各有 2 层和 1 层 RDL 布线. 在封装基板与转接板键合的位置增加了 VIS (vertical interconnect spacer) 结构, 以保证转接板和基板的空隙中可以容纳 2 个存储芯片.

传统的柔性聚合物转接板, 其热膨胀系数与 IC 不匹配, 尺寸稳定性较差; 传统的硅基转接板, 进行 TSV 正面工艺时, 需要进行绝缘层淀积, 进行背面工艺时, 需要进行 TSV 绝缘开口制作, 绝缘层的质量对转接板性能影响很大, 制作成本高; 而玻璃转接板, 因其良好的绝缘性能、尺寸稳定性、热膨胀系数与 IC 兼容等优点^[132,133], 逐渐成为研究热点.

美国佐治亚理工学院的封装研究中心 (PRC) 在 2014 年报道了双面金属化的超薄玻璃转接板的制作与测试分析, 玻璃转接板厚度只有 30 μm , 玻璃通孔 (through glass via, TGV) 直径 15~40 μm , 基本上达到了硅转接板的线条精度^[134]. TGV 通过 193 nm 准分子激光器刻蚀而成, 电镀铜填充, 转接板上下表面各有一层 Cu 互连, 线宽只有 4 μm . 所用的硼硅玻璃的介电常数为 0.7, 损耗角正切为 0.006, 保证了较好的高频性能.

随着 TSV 和 TGV 技术的逐渐成熟, MEMS 传感器开始采用 TSV/TGV 技术来实现封装异质集成. 据统计估计, 从整个 MEMS 市场来看, 几乎一半的 MEMS 产品 (如加速度计、陀螺仪、麦克风、压力计、RF MEMS 及微流控器件等) 采用了多芯片异质集成的方案^[135,136]. 这得益于该方案可单独设计、优化、制造 (包括材料、工艺、制程等) 和测试 MEMS 器件芯片与集成电路读出芯片后再集成以及产品投放市场周期短等优势. 国际上, 主流 MEMS 传感器厂商如 STMicroelectronics 和 Bosch 等均研发了包括 TSV/TGV 技术在内的 MEMS 传感器三维异质集成技术, 部分产品已经实现大规模量产. Murata 公司 (原芬兰 VTI 公司) 的量产产品 CMA3000 通过封帽层中的 TGV 实现了 MEMS 器件与

ASIC 芯片的互连, 通过倒装芯片技术在晶圆级实现 ASIC 芯片与 MEMS 器件芯片的键合^[135]. 加州大学戴维斯分校的研究者利用 InvenSense 公司的 NF 工艺平台开展高性能陀螺的研究, MEMS 器件芯片与 CMOS 电路芯片通过金属键合, 并通过金属密封环实现真空封装^[137,138].

在国内, 敏芯微电子与中芯国际于 2015 年 1 月 5 日共同宣布推出了当时全球最小封装尺寸的敏芯三轴加速度传感器 MSA330. 该传感器采用中芯国际 CMOS 集成 MEMS 器件制造技术和基于硅片通孔 (TSV) 的晶圆级封装 (WLP) 技术. 该芯片将三轴加速度传感器与 CMOS ASIC 垂直整合, 形成一个独立的 1.075 mm (长)×1.075 mm (宽)×0.60 mm (高) 的单芯片系统封装, 相比近期推出的同类商业化产品, 面积缩小了 30%, 整体尺寸缩小了 70%^[139]. 除此之外, 美新半导体等企业也申请了 MEMS 传感器三维集成的相关专利^[140].

5.4 技术趋势

综上所述, 异质集成技术近年来在国内国外均取得了迅猛的发展, 获得了工业界、学术界的广泛关注, 但是由于所涉及的技术挑战多, 目前仍只在个别领域出现了商用化产品. 从技术发展趋势看, 异质集成技术在如下几个方面值得关注: (1) 三维异质集成关键工艺. 异质集成技术引入了新材料、新设备、新工艺, 进一步完善和发展制造技术, 仍然是异质集成最主要的技术挑战. 需重点突破的技术包括: 高速、侧壁光滑的深刻蚀技术. 深宽比 20:1 以上的侧壁沉积扩散阻挡层和种子层技术和深孔铜填充技术. 精度为 0.1 μm 的键合和对准技术. 基于玻璃、AlN、高阻硅和有机材料的新型转接板技术. 以及基于柔性聚合物基底的异质三维集成技术等; (2) 三维互连设计. 纳米级晶体管到微米级通孔再到数百微米的 I/O 所构成的跨尺度, 高密度布线互连网络, 其设计、建模与仿真、测试以及高速数据传输机制等方面遇到全新的挑战, 需重点研究互连网络中电磁波-载流子/声子相互作用, 电磁波-电介质复合结构, 复杂边界中电磁传播等基础科学问题, 在此基础上形成高效的设计, 仿真算法和数据传输机制, 掌握相关测试技术, 形成设计、仿真工具和可指导制造的规范; (3) 三维热管理. 从热学方面考虑, 以往的工作多在简化的 TSV 模型下开展. 随着工业界和学术界在异质集成过程中对 TSV 等特性的深入了解, 带来了全新的传热和散热问题. 硅穿孔绝缘层, 层间微凸块, 以及重布线层的热效应均不能忽视, 使得以往在简化模型下的优化方法不再适用. 为使三维异质集成芯片正常工作, 需要提出更符合实际情况的三维异质集成芯片热模型, 以及针对复杂热模型的高效优化方法.

6 结束语

21 世纪前十多年, 集成电路行业的全生态链已经形成: 每两年左右更新一代的集成电路工艺技术为高效率、低成本的系统芯片集成提供了基础; 以 Intel、Qualcomm、Sumsung、Hisilicon、MTK 等为代表的集成电路设计水平不断提升; 互联网和移动智能终端的崛起实现了全球范围内的移动互联, 这又为物联网、人工智能、虚拟现实和工业 4.0 等创新应用创造了机会. 集成电路技术和产业经过 50 年的快速发展, 摩尔定律正在面临诸多挑战, 如何应对后摩尔时代集成电路产业面临的新挑战已引起全球范围的高度重视.

国际上, 以新型的应用, 包括物联网、人工智能、虚拟现实和工业 4.0 等为驱动, 集成电路正朝着超低功耗、混合集成、智能化、标准化等方向发展. 因此, 未来的研究应更集中于新型低功耗器件及电路理论、纳米单片集成电路技术、微纳传感器及异质集成融合技术研究等方面.

参考文献

- 1 Cheng K, Khakifirooz A, Kulkarni P, et al. Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications. In: Proceedings of IEEE International Electron Devices Meeting, Baltimore, 2009. 1–4
- 2 Auth C, Allen C, Blattner A, et al. A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors. In: Proceedings of Symposium on VLSI Technology (VLSIT), Honolulu, 2012. 131–132
- 3 Liu Q, Yagishita A, Loubet N, et al. Ultra-thin-body and BOX (UTBB) fully depleted (FD) device integration for 22nm node and beyond. In: Proceedings of Symposium on VLSI Technology (VLSIT), Honolulu, 2010. 61–62
- 4 Xu X, Wang R, Huang R, et al. High-performance BOI FinFETs based on bulk-silicon substrate. *IEEE Trans Electron Devices*, 2008, 55: 3246–3250
- 5 Suk S D, Lee S-Y, Kim S-M, et al. High performance 5nm radius twin silicon nanowire MOSFET(TSNWFET): fabrication on bulk Si wafer, characteristics, and reliability. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2005. 717–720
- 6 Bangsaruntip S, Cohen G M, Majumdar A, et al. High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling. In: Proceedings of IEEE International Electron Devices Meeting, Baltimore, 2009. 1–4
- 7 Tian Y, Huang R, Wang Y, et al. New self-aligned silicon nanowire transistors on bulk substrate fabricated by epi-free compatible CMOS technology: process integration, experimental characterization of carrier transport and low frequency noise. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2007. 895–898
- 8 Takagi S, Takenaka M. Advanced CMOS technologies using III-V/Ge channels. Symp. In: Proceedings of International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Hsinchu, 2011. 1–2
- 9 Li Z, An X, Yun Q, et al. Low specific contact resistivity to n-Ge and well-behaved Ge n+/p diode achieved by multiple implantation and multiple annealing technique. *Electron Device Lett*, 2013, 34: 1097–1099
- 10 Liu P Q, Li M, An X. N+/P shallow junction with high dopant activation and low contact resistivity fabricated by solid phase epitaxy method for Ge technology. In: Proceedings of Silicon Nanotechnology Workshop, Kyoto, 2015. 1–2
- 11 Li Z, An X, Yun Q, et al. Tuning schottky barrier height in metal/n-type germanium by inserting an ultrathin yttrium oxide film. *ECS Solid State Lett*, 2012, 1: 33–34
- 12 Li Z, An X, Li M, et al. Low electron schottky barrier height of NiGe/Ge achieved by ion implantation after germanidation technique. *Electron Device Lett*, 2012, 33: 1687–1689
- 13 Yokoyama M, Iida R, Kim S H, et al. Extremely-thin-body InGaAs- on-insulator MOSFETs on Si fabricated by direct wafer bonding. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2010. 1–4
- 14 Goh K-H, Tan K-H, Yadav S, et al. Gate-all-around CMOS (InAs n-FET and GaSb p-FET) based on vertically-stacked nanowires on a Si platform, enabled by extremely-thin buffer layer technology and common gate stack and contact modules. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2015. 1–4
- 15 Chung C-T, Chen C-W, Lin J-C, et al. First experimental Ge CMOS FinFETs directly on SOI substrate. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2012. 1–4
- 16 Schwierz F. Graphene transistor. *Nat Nanotech*, 2010, 5: 487–496
- 17 Schwierz F, Pezoldt J, Granzner R. Two-dimensional materials and their prospects in transistor electronics. *Nanoscale*, 2015, 7: 8261–8283
- 18 Schwierz F. Graphene transistors: status, prospects, and problems. *Proc IEEE*, 2013, 101: 1567–1584
- 19 Salahuddin S, Datta S. Use of negative capacitance to provide voltage amplification for low power nanoscale devices. *Nano Lett*, 2008, 8: 405–410
- 20 Akarvardar K, Elata D, Parsa R, et al. Design considerations for complementary nanoelectromechanical logic gates. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2007. 299–302
- 21 Choi W Y, Song J Y, Choi B Y, et al. 80nm self-aligned complementary I-MOS using double sidewall spacer and elevated drain structure and its applicability to amplifiers with high linearity. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2004. 203–206
- 22 Lonescu A M, Riel H. Tunnel field-effect transistors as energy-efficient electronic switches. *Nature*, 2011, 479: 329–337

- 23 Zhang L, Huang J, Chan M. Steep slope devices and TFETs. In: Tunneling Field Effect Transistor Technology. Berlin: Springer, 2016. 1–31
- 24 Huang Q Q, Zhan Z, Huang R, et al. Self-depleted T-gate schottky barrier tunneling FET with low average subthreshold slope and high ION/IOFF by gate configuration and barrier modulation. In: Proceedings of IEEE International Electron Devices Meeting, Washington, 2011. 382–385
- 25 Huang Q Q, Huang R, Wu C L, et al. Comprehensive performance re- assessment of TFETs with a novel design by gate and source engineering from device/circuit perspective. In: Proceedings of IEEE International Electron Devices Meeting, San Francisco, 2014. 335–338
- 26 Borghetti J, Snider G S, Kuekes P L, et al. Memristive switches enable stateful logic operations via material implication. Nat Lett, 2010, 464: 873–876
- 27 Yang J J, Strukov D B, Stewart D R. Memristive devices for computing. Nat Nanotech, 2013, 8: 13–24
- 28 Kuzum D, Yu S, Wong H-S P. Synaptic electronics: materials, devices and applications. Nanotechnology, 2013, 24: 382001
- 29 Bandyopadhyay S, Cahay M. Electron spin for classical information processing: a brief survey of spin-based logic devices, gates and circuits. Nanotechnology, 2009, 20: 170–223
- 30 Morris D, Bromberg D, Zhu J-G, et al. mLogic: ultra-low voltage non- volatile logic circuits using STT-MTJ devices. In: Proceedings of the 49th Annual Design Automation Conference. New York: ACM, 2012. 486–491
- 31 Shoaran M, Tajalli A, Alioto M, et al. Analysis and characterization of variability in subthreshold source-coupled logic circuits. IEEE Trans Circ Syst I: Regular Papers, 2015, 63: 458–467
- 32 Jorgenson R D, Sorensen L, Leet D, et al. Ultralow-power operation in subthreshold regimes applying clockless logic. Proc IEEE , 2010, 98: 299–314
- 33 Kaizerman A, Fisher S, Fish A. Subthreshold dual mode logic. IEEE Trans Very Large Scale Integration Syst, 2013, 21: 979–983
- 34 Chanda M, Jain S, De S, et al. Implementation of Subthreshold Adiabatic Logic for Ultralow-Power Application. IEEE Trans Very Large Scale Integration Syst, 2015, 23: 278–2790
- 35 Vaddi R, Dasgupta S, Agarwal R P. Device and Circuit Co-Design Robustness Studies in the Subthreshold Logic for Ultralow-Power Applications for 32 nm CMOS. IEEE Trans Electron Dev, 2010, 57: 654–664
- 36 Cardoso A J, de Carli L G, Galup-Montoro C, et al. Analysis of the Rectifier Circuit Valid Down to Its Low-Voltage Limit. IEEE Trans Circ Syst-I: Regular Papers, 2012, 59: 106–112
- 37 Kim I-D, Cho W-W, Kim J-Y, et al. Design of Low-voltage High-current Rectifier with High-efficiency Output Side for Electrolytic Disinfection of Ballast Water. In: Proceedings of IEEE Energy Conversion Congress and Exposition (ECCE), Atlanta, 2010. 1652–1657
- 38 Dayal R, Parsa L. A new single stage AC-DC converter for low voltage electromagnetic energy harvesting. In: Proceedings of IEEE Energy Conversion Congress and Exposition (ECCE), Atlanta, 2010. 4447–4452
- 39 Lam Y H, Ki W H, Tsui C Y. Integrated low-loss CMOS active rectifier for wirelessly powered devices. IEEE Trans Circ Syst II: Expr Briefs, 2006, 53: 1378–1382
- 40 Seeman M D, Sanders S R, Rabaey J M. An ultra-low-power power management IC for wireless sensor nodes. In: Proceedings of IEEE Custom Integrated Circuits Conference, San Jose, 2007. 567–570
- 41 Peters C, Handwerker J, Maurath D, et al. An ultra-low-voltage active rectifier for energy harvesting applications, circuits and systems (ISCAS). In: Proceedings of IEEE International Symposium on Circuits and Systems, Paris, 2010. 889–892
- 42 Peters C, Handwerker J, Maurath D, et al. A sub-500 mV highly efficient active rectifier for energy harvesting applications. IEEE Trans Circ Syst I: Regular Papers, 2011, 58: 1542–1550
- 43 Cheng S, Jin Y, Rao Y, et al. An active voltage doubling AC/DC converter for low-voltage energy harvesting applications. IEEE Trans Power Electron, 2011, 26: 2258–2265
- 44 Hashemi S S, Sawan M, Savaria Y. A high-efficiency low-voltage CMOS rectifier for harvesting energy in implantable devices. IEEE Trans Biomed Circ Syst, 2012, 6: 326–335
- 45 Zou Y, Han J, Weng X, et al. An ultra-low power QRS complex detection algorithm based on down-sampling wavelet transform. Signal Process Lett, 2013, 20: 515–518
- 46 Hyejung K, van Hoof C, Yazicioglu R F. A mixed signal ECG processing platform with an adaptive sampling ADC

- for portable monitoring applications. In: Proceedings of Engineering in Medicine and Biology Society, Boston, 2011. 2196–2199
- 47 Xu G, Han J, Zou Y, et al. A 1.5-D multi-channel EEG compression algorithm based on NLSPIHT. *Signal Process Lett*, 2015, 22: 1118–1122
 - 48 Myers J, Savanth A, Howard D, et al. 8.1 an 80nW retention 11.7pJ/cycle active subthreshold ARM Cortex-M0+ subsystem in 65nm CMOS for WSN applications. In: Proceedings of International Solid-State Circuits Conference (ISSCC), San Francisco, 2015. 1–3
 - 49 Nose K, Hirabayashi M, Kawaguchi H, et al. VTH-hopping scheme to reduce subthreshold leakage for low-power processors. *J Solid-State Circ*, 2002, 37: 413–419
 - 50 Das S, Tokunaga C, Pant S, et al. RazorII: in situ error detection and correction for PVT and SER tolerance. *J Solid-State Circ*, 2009, 44: 32–48
 - 51 Kwon I, Kim S, Fick D, et al. Razor-lite: a light-weight register for error detection by observing virtual supply rails. *J Solid-State Circ*, 2014, 49: 2054–2066
 - 52 Makimoto T. The age of the digital nomad: impact of CMOS innovation. *IEEE Solid-State Circ Mag*, 2013, 5: 40–47
 - 53 Staszewski R, Staszewski R B, Jung T, et al. Software assisted digital RF processor (DRPTM) for single-chip GSM radio in 90 nm CMOS. *J Solid-State Circ*, 2010, 45: 276–288
 - 54 Deng W, Yang D S, Ueno T, et al. A fully synthesizable all-digital PLL with interpolative phase coupled oscillator, current-output DAC, and fine-resolution digital varactor using gated edge injection technique. *J Solid-State Circ*, 2015, 50: 68–80
 - 55 Yip M, Jin R, Nakajima H H, et al. A fully-implantable cochlear implant SoC with piezoelectric middle-ear sensor and arbitrary waveform neural stimulation. *J Solid-State Circ*, 2015, 50: 214–229
 - 56 Li X, Tsui C-Y, Ki W-H. A 13.56 MHz wireless power transfer system with reconfigurable resonant regulating rectifier and wireless power control for implantable medical devices. *J Solid-State Circ*, 2015, 50: 978–989
 - 57 Bandyopadhyay S, Mercier P P, Lysaght A C, et al. A 1.1 nW energy- harvesting system with 544 pW quiescent power for next-generation implants. *J Solid-State Circ*, 2014, 49: 2812–2824
 - 58 Chang N C-J, Hurst P J, Levy B C, et al. Background adaptive cancellation of digital switching noise in a pipelined analog-to-digital converter without noise sensors. *J Solid-State Circ*, 2014, 49: 1397–1407
 - 59 Narendra S G, Fujino L C, Smith K C. Through the looking glass? the 2015 edition: trends in solid-state circuits from ISSCC. *J Solid-State Circ*, 2015, 7: 14–24
 - 60 Abidi A A. The path to the software-defined radio receiver. *J Solid-State Circ*, 2007, 42: 954–966
 - 61 Chen K-C, Chao C-H, Wu A-Y. Thermal-aware 3D network- on-chip (3D NoC) designs: routing algorithms and thermal managements. *IEEE Circ Syst Mag*, 2015, 15: 45–69
 - 62 Iyer S S, Kiriata T. Three-dimensional integration: a tutorial for designers. *IEEE Solid-State Circ Mag*, 2015, 7: 63–74
 - 63 Hamzaoglu F, Arslan U, Bisnik N, et al. A 1 Gb 2 GHz 128 GB/s bandwidth embedded DRAM in 22 nm tri-gate CMOS technology. *J Solid-State Circ*, 2015, 50: 150–157
 - 64 Chen Y-H, Cha W-M, Wu W-C, et al. A 16 nm 128 Mb SRAM in High- κ metal-gate FinFET technology with write-assist circuitry for low-V_{MIN} applications. *J Solid-State Circ*, 2015, 50: 170–177
 - 65 Song T, Rim W, Jung J, et al. A 14 nm FinFET 128 Mb SRAM with V_{MIN} enhancement techniques for low-power applications. *J Solid-State Circ*, 2015, 50: 158–169
 - 66 Borkar S, Ko U, Keshavarzi A, et al. Empowering the killer SoC applications of 2020. In: Proceedings of IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, 2013. 517–517
 - 67 Bryzek J, Peterson K, McCulley W. Micromachines on the March. *IEEE Spectrum*, 1994, 31: 20–31
 - 68 Guo S W. High temperature smart-cut SOI pressure sensor. *Sensors Actuat A: Phys*, 2009, 154: 255–260
 - 69 Ned A A, Goodman S, Vandeweert J. High accuracy, high temperature pressure probes for aerodynamic testing. In: Proceedings of the 49th AIAA Aerospace Sciences Meeting including the New Horizons Forum and Aerospace Exposition, Orlando, 2011. 4–7
 - 70 Liu G D, Cui W P, Hu H, et al. Silicon on insulator pressure sensor based on a thermostable electrode for high temperature applications. *Micro & Nano Lett*, 2015, 10: 496–499
 - 71 Okojie R S, Ned A A, Kurtz A D, et al. (6H)-SiC pressure sensors for high temperature applications. In: Proceedings

- of Micro Electro Mechanical Systems (MEMS'96), San Diego, 1996. 146–149
- 72 Jin S, Rajgopal S, Mehregany M. Silicon carbide pressure sensor for high temperature and high pressure applications: Influence of substrate material on performance. In: Proceedings of the 16th International Solid-State Sensors, Actuators and Microsystems Conference (TRANSDUCERS), Beijing, 2011. 2026–2029
- 73 Okojie R S. Fabrication and characterization of single-crystal silicon carbide MEMS. In: MEMS Handbook: Mohamed Gad-el-Hak. Cambridge: CRC Press, 2002, 20: 1–31
- 74 Dzuba J, Vanko G, Drzik M, et al. AlGaIn/GaN diaphragm-based pressure sensor with direct high performance piezoelectric transduction mechanism. Appl Phys Lett, 2015, 107: 6386
- 75 Smith A D, Niklaus F, Paussa A, et al. Electromechanical piezoresistive sensing in suspended graphene membranes. Nano Lett, 2013, 13: 3237–3242
- 76 Tian H, Shu Y, Wang X-F, et al. A graphene-based resistive pressure sensor with record-high sensitivity in a wide pressure range. Sci Rep, 2015, 5: 8603
- 77 Cao Z, Yuan Y, He G, et al. Fabrication of multi-layer vertically stacked fused silica microsystems. In: Proceedings of Transducers & Eurosensors XXVII: the 17th International Conference on Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS & EUROSENSORS XXVII), Barcelona, 2013. 810–813
- 78 Emilio Serrano D E. Integrated inertial measurement units using silicon bulk- acoustic wave gyroscopes. Dissertation for Ph.D. Degree. Atlanta: Georgia Institute of Technology, 2014. 119–121
- 79 Efimovskaya A, Senkal D, Shkel A M. Miniature origami-like folded MEMS TIMU. In: Proceedings of the 18th International Conference on Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS), Anchorage, 2015. 584–587
- 80 Challoner A D, Ge H H, Liu J Y. Boeing disc resonator gyroscope. In: Proceedings of IEEE/ION Position, Location and Navigation Symposium, Monterey, 2014. 504–514
- 81 Cho J Y, Najafi K. A high-q all-fused silica solid-stem wineglass hemispherical resonator formed using micro blow torching and welding. In: Proceedings of the 28th IEEE International Conference on Micro Electro Mechanical Systems (MEMS), Estoril, 2015. 821–824
- 82 Senkal D, Ahamed M J, Ardakani M A A, et al. Demonstration of 1 million Q-Factor on microglassblown wineglass resonators with out-of-plane electrostatic transduction. IEEE/ASME J Microelectromech Syst, 2015, 24: 29–37
- 83 Tortonese M, Barrett R C, Quate C F. Atomic resolution with an atomic force microscope using piezoresistive detection. Appl Phys Lett, 1993, 62: 834–836
- 84 Chui B W, Stowe T D, Kenny T W, et al. Low-stiffness silicon cantilevers for thermal writing and piezoresistive readback with the atomic force microscope. Appl Phys Lett, 1996, 69: 2767–2769
- 85 Pruitt B L, Kenny T W. Piezoresistive cantilevers and measurement system for characterizing low force electrical contacts. Sensors Actuat A: Phys, 2003, 104: 68–77
- 86 Dukic M, Adams J D, Fantner G E. Piezoresistive AFM cantilevers surpassing standard optical beam deflection in low noise topography imaging. Sci Rep, 2015, 5: 16393
- 87 Zhao R, Zhang J, Yang J, et al. Multi-target toxin detections based on piezoresistive microcantilevers. In: Proceedings of the 17th International Conference on Miniaturized Systems for Chemistry and Life Sciences, Freiburg, 2013. 1514–1516
- 88 Zhao R, Wen Y, Yang J, et al. Aptasensor for staphylococcus enterotoxin B detection using high SNR piezoresistive microcantilevers. J Microelectromech Syst, 2014, 23: 1054–1062
- 89 Zhao R, Ma W, Wen Y, et al. Trace level detections of abrin with high SNR piezoresistive cantilever biosensor. Sensors Actuat B: Chem, 2015, 212: 112–119
- 90 Yu H T, Chen Y, Xu P C, et al. Water-proof ‘μ-diving suit’ dressed on resonant biochemical sensor for online detection in solution. In: Proceedings of the 28th IEEE International Conference on Micro Electro Mechanical Systems (MEMS), Estoril, 2015. 612–612
- 91 Yu F, Xu P C, Wang J C, et al. Dog-bone resonator with high-q in liquid for low-cost quick ‘test-paper’ detection of analyte droplet. In: Proceedings of the 28th IEEE International Conference on Micro Electro Mechanical Systems (MEMS), Estoril, 2015. 785–785
- 92 Cui Y, Wei Q, Park H, et al. Nanowire nanosensors for highly sensitive and selective detection of biological and chemical species. Science, 2001, 293: 1289–1292

- 93 Stern E, Klemic J F, Routenberg D A, et al. Label-free immunodetection with CMOS-compatible semiconducting nanowires. *Nature*, 2007, 445: 519–522
- 94 Ramgir N S, Yang Y, Zacharias M. Nanowire-based sensors. *Small*, 2010, 6: 1705–1722
- 95 Mu L, Chang Y, Sawtelle S D, et al. Silicon nanowire field-effect transistors—a versatile class of potentiometric nanobiosensors. *Access IEEE*, 2015, 3: 287–302
- 96 Terrones M. Science and technology of the twenty-first century: synthesis, properties, and applications of carbon nanotubes. *Cheminform*, 2004, 35: 419–501
- 97 Venkatesan B M, Bashir R. Nanopore sensors for nucleic acid analysis. *Nat Nanotech*, 2011, 6: 615–624
- 98 Marx V. Nanopores: a sequencer in your backpack. *Nat Methods*, 2015, 12: 1015–1018
- 99 方肇伦. 微流控分析芯片. 北京: 科学出版社, 2003
- 100 Manz A, Graber N, Widmer H M. Miniaturized total chemical analysis systems: a novel concept for chemical sensing. *Sensors Actuat B*, 1990, 1: 244–248
- 101 Duan C, Wang W, Xie Q. Review article: fabrication of nanofluidic devices. *Biomicrofluidics*, 2013, 7: 026501
- 102 Liu Y, Yobas L. Label-free specific detection of femtomolar cardiac troponin using an integrated nanoslit array fluidic diode. *Nano Lett*, 2014, 14: 6983–6990
- 103 Zhou K, Perry J M, Jacobson S C. Transport and sensing in nanofluidic devices. *Annual Rev Anal Chem*, 2011, 4: 321–341
- 104 Vlassiouk I, Kozel T R, Siwy Z S. Biosensing with nanofluidic diodes. *J Amer Chem Soc*, 2009, 131: 8211–8220
- 105 Chen Z, Wang Y, Wang W, et al. Nanofluidic electrokinetics in nanoparticle crystal. *Appl Phys Lett*, 2009, 95: 102–105
- 106 Lei Y, Xie F, Wang W, et al. Suspended nanoparticle crystal (S-NPC): a nanofluidics-based, electrical read-out biosensor. *Lab on a Chip*, 2010, 10: 2338–2340
- 107 Sang J, Du H, Wang W, et al. Protein sensing by nanofluidic crystal and its signal enhancement. *Biomicrofluidics*, 2013, 7: 024112
- 108 Weiland J D, Humayun M S. Visual prosthesis. *Proc IEEE*, 2008, 96: 1076–1084
- 109 Sun Y G, Choi W M, Jiang H Q, et al. Controlled buckling of semiconductor nanoribbons for stretchable electronics. *Nat Nanotech*, 2006, 1: 201–207
- 110 Khang D-Y, Jiang H Q, Huang Y, et al. Rogers. a stretchable form of single-crystal silicon for high-performance electronics on rubber substrate. *Science*, 2006, 311: 208–212
- 111 Rogers J A, Someya T, Huang Y G. Materials and mechanics for stretchable electronics. *Science*, 2010, 327: 1603–1607
- 112 Kim D, Lu N, Ma R, et al. Epidermal electronics. *Science*, 2011, 333: 838–838
- 113 Kim D H, Vimenti J, Amsden J J, et al. Dissolvable films of silk fibroin for ultrathin conformal bio-integrated electronics. *Nat Mater*, 2010, 9: 511–517
- 114 Kim K, Zhao Y, Jang H, et al. Large-scale pattern growth of graphene films for stretchable transparent electrodes. *Nature*, 2009, 457: 706–710
- 115 Fedder G K, Santhanam S, Reed M L, et al. Laminated high-aspect-ratio micro-structures in a conventional CMOS process. *Sensor Actuat*, 1996, A57: 103–110
- 116 Fedder G K, Howe R T, Liu T-J K, et al. Technologies for cofabricating MEMS and electronics. *Proc IEEE*, 2008, 96: 306–322
- 117 Zhu X, Greve D W, Lawton R, et al. Factorial experiment on CMOS-MEMS RIE post processing. In: *Proceedings of the 194th Electrochemical Society Meeting, Symposium on Microstructures and Microfabricated Systems IV*, Boston, 1998. 33–42
- 118 Xie H, Fedder G K. A CMOS-MEMS lateral-axis gyroscope. In: *Proceedings of the 14th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2001)*, Interlaken, 2001. 162–165
- 119 Tan S S, Liu C Y, Yeh L K, et al. A new process for CMOS MEMS capacitive sensors with high sensitivity and thermal stability. *J Micromech Microeng*, 2011, 21: 35005–35014
- 120 Liu Y-C, Tsai M-H, Tang T-L, et al. Post-CMOS selective electroplating technique for the improvement of CMOS-MEMS accelerometers. *J Micromech Microeng*, 2011, 21: 105005–105013
- 121 Li C-S, Hou L-J, Li S-S. Advanced CMOS-MEMS resonator platform. *IEEE Electron Dev Lett*, 2012, 33: 272–274
- 122 InvenSense. Sensor System on Chip. <https://www.invensense.com>. 2016

- 123 Wang J C, Li X X. Single-side fabricated pressure sensors for IC- foundry-compatible, high-yield, and low-cost volume production. *IEEE Electron Dev Lett*, 2011, 32: 979–981
- 124 Lee K-W, Noriki A, Kiyoyama K J, et al. Three-dimensional hybrid integration technology of CMOS, MEMS, and photonics circuits for optoelectronic heterogeneous integrated systems. *IEEE Trans Electron Dev*, 2011, 58: 748–757
- 125 Jeddeloh J, Keeth B. Hybrid memory cube new DRAM architecture increases density and performance. In: *Proceedings of Symposium on VLSI Technology (VLSIT)*, Honolulu, 2012. 87–88
- 126 Micron Technology. Micron Technology Ships First Samples of Hybrid Memory Cube. <http://www.globenewswire.com/NewsRoom/Attachment/21136>. 2014
- 127 Vangal S, Howard J, Ruhl G, et al. An 80-tile 1.28 TFLOPS network-on-chip in 65nm CMOS. In: *Proceedings of IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, 2007. 98–99
- 128 Lim S K. 3D-MAPS: 3D massively parallel processor with stacked memory. In: *Design for High Performance, Low Power, and Reliable 3D Integrated Circuits*. New York: Springer, 2013. 537–560
- 129 Ivo Bolsens. 2.5D ICs: just a stepping stone or a long term alternative to 3D. <http://www.xilinx.com>. 2011
- 130 Lau J H. Evolution, challenge, and outlook of TSV, 3D IC integration and 3D silicon integration. In: *Proceedings of International Symposium on Advanced Packaging Materials (APM)*, Xiamen, 2011. 462–488
- 131 Li L, Higashi M, Takano A, et al. Cost and performance effective silicon interposer and vertical interconnect for 3D ASIC and memory integration. In: *Proceedings of the 64th Electronic Components and Technology Conference (ECTC)*, Orlando, 2014. 1366–1371
- 132 Lee C K, Chien C H, Chiang C W, et al. Investigation of the process for glass interposer. In: *Proceedings of the 8th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*, Taipei, 2013. 194–197
- 133 Sukumaran V, Bandyopadhyay T, Sundaram V, et al. Low-cost thin glass interposers as a superior alternative to silicon and organic interposers for packaging of 3-D ICs. *IEEE Trans Compon Pack Manuf Tech*, 2012, 2: 1426–1433
- 134 Sukumaran V, Kumar G, Ramachandran K, et al. Design, fabrication, and characterization of ultrathin 3-D glass interposers with through-package-vias at same pitch as TSVs in silicon. *IEEE Trans Compon Pack Manuf Tech*, 2014, 4: 786–795
- 135 Fischer A C, Forsberg F, Lapisa M, et al. Integrating MEMS and ICs. *Microsyst Nanoeng*, 2015, 2015: 15005
- 136 Yole Développement. Inertial MEMS Manufacturing Trends 2014 - Volumes 1&2. [http://www.yole.fr/ Reports.aspx](http://www.yole.fr/Reports.aspx). 2014
- 137 Su T H, Nitzan S, Taheri-Tehrani P, et al. MEMS disk resonator gyroscope with integrated analog front-end. In: *Proceedings of IEEE SENSORS*, Baltimore, 2013. 1–4
- 138 Seeger J, Lim M, Nasiri S. Development of high-performance, high-volume consumer MEMS gyroscopes. In: *Proceedings of Solid-State Sensors Actuators Microsystems Workshop*, Waikoloa, 2010. 61–64
- 139 敏芯微电子. 敏芯联手中芯国际推出全球最小的商业化三轴加速度传感器 MSA330. http://www.memsensing.com/htmlscn/news_detail.php?id=39. 2015
- 140 Zhao Y, Zavracky P M, Cai Y. Monolithic Sensor Package. U.S. Patent, 13/674, 506, 2012-11-12

Micro/Nano-scale integrated circuits and new emerging hybrid integration techniques

Xiaoyang ZENG^{1*}, Ming LI^{2*}, Zhihong LI², Jing CHEN², Yuchao YANG² & Ru HUANG^{2*}

¹ School of Microelectronics, Fudan University, Shanghai 201203, China;

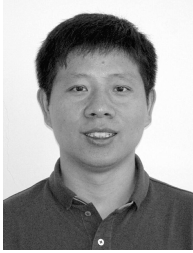
² School of Electronics Engineering and Computer Science, Peking University, Beijing 100871, China

*E-mail: xyzeng@fudan.edu.cn, liming.ime@pku.edu.cn, ruhuang@pku.edu.cn

Abstract As Moore's law advances, the integrated circuit (IC) industry is facing both unprecedented technical challenges and bottlenecks and good opportunities for development. This paper focuses on the innovative

micro/nano-scale IC industry and the new hybrid integration technology. To this end, an extensive and profound survey of the current research status and trends in low power micro/nano-scale devices and circuits, nano-scale single-chip systems, MEMS/NEMS, and hybrid integration techniques is presented. In addition, a comprehensive roadmap for theoretical innovations and technical development of post-Moore era IC technology is given and a new roadmap for emerging application-driven IC products outlined.

Keywords integrated circuit, low power, microelectronics device, system-on-chip, hybrid integration, Moore's law



Xiaoyang ZENG was born in 1972. He received the Ph.D. degree in optical engineering from Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun, China, in 2001. Currently, he is a professor and the vice dean of the State-Key Laboratory of ASIC and System at Fudan University. His research interests include high energy-efficiency system-on-chip for information security and wireless communication, and ultra-low power design for biomedical signal processing. He is a recipient of the National Science Fund for Distinguished Young Scholars award, and is the Shanghai Chapter Chair of the Solid-State Society of IEEE.



Ming LI was born in 1976. He received B.S. and M.S. degrees in material physics and semiconductor physics from Peking Normal University, Beijing, China, in 1997 and 2000, respectively, and the Ph.D. degree in microelectronics from Peking University, Beijing, China, in 2003. Since 2003, he worked at Samsung Electronics, Suwon, Korea, as a senior engineer. After 2011, he has been a faculty member of the Institute of Microelectronics, Peking University, Beijing, China. His research interests include novel nano-scale CMOS device and nano-fabrication technology. He has authored and co-authored more than 50 papers and holds seven U.S. patents.



Ru HUANG received the B.S. and M.S. degrees in electronic engineering from Southeast University, China, in 1991 and 1994, respectively, and the Ph.D. degree in microelectronics from Peking University, China, in 1997. Since 1997, she has been a faculty member at Peking University, where she is currently an Academician of Chinese Academy of Sciences and the dean of the School of Electronics Engineering and Computer Science. Her research in-

terests mainly include novel nano-scaled CMOS devices, ultra-low-power devices and circuits, emerging memory devices, and device reliability and variability. She has received the National Award for Technological Invention and the National Award of Science and Technology Progress. She is the vice chair of IEEE EDS SRC Region 10 and elected EDS BoG member.