

代表扫描 —— 一种低功耗可测试性设计结构

张玲^{①*}, 王伟征^②

① 湖北理工学院计算机学院, 黄石 435003

② 长沙理工大学计算机与通信工程学院, 长沙 410004

* 通信作者. E-mail: forry1230@126.com

收稿日期: 2015-05-21; 接受日期: 2015-06-23; 网络出版日期: 2016-03-15

国家自然科学基金项目 (批准号: 61303042, 61472123)、湖北省自然科学基金项目 (批准号: 2014CFC1091)、湖北省教育厅科研项目 (批准号: B2014026)、湖北理工学院创新人才项目 (批准号: 13xjz05c)、湖北理工学院优秀青年科技创新团队项目 (批准号: 13xtz10) 和湖北理工学院大学生创新项目 (批准号: 13cx25) 资助

摘要 传统扫描链将所有扫描单元串联, 测试数据的移位路径较长, 导致测试移位功耗较大. 首次提出代表扫描结构, 它将传统扫描链或子链中的触发器改造成环形移位寄存器, 为每个环形移位寄存器遴选一个代表触发器, 并将这些代表触发器串联, 构成具有若干局部循环的代表扫描结构. 由于代表扫描结构中仅有部分触发器参与数据移位, 这大大减少了移位功耗. 对于 ISCAS89 benchmark 电路来说, 最优的代表扫描结构的移位功耗仅为传统直链扫描结构的 4.68%~13.59% 之间, 而且电路越大, 移位功耗减少的越多. 对于 S35932 电路来说, 其环形移位寄存器大小为 42 时, 对应的移位功耗仅为直链扫描结构的 4.68%. 该结构仅需要在每个触发器上增加一个选择器用来选择不同的测试模式, 具有较小的硬件代价.

关键词 数字集成电路测试 可测试性设计 扫描结构 低功耗测试 代表扫描

1 引言

扫描结构是近年来集成电路测试最常用的可测试性设计方法. 目前存在的通用扫描结构可以归纳为 3 大类, 第 1 类是直链扫描结构, 第 2 类是随机访问扫描结构 (RAS), 第 3 类是具有循环功能的循环扫描链结构.

直链结构是应用最广泛的可测试性结构. 它主要包括单扫描链结构 (conventional single scan chain architecture) (结构如图 1(a))^[1]、多扫描链结构^[2] 及多扫描链压缩结构^[3]. 测试功耗过高是集成电路测试的挑战之一, 为了减少测试功耗, 已出现大量的针对直链结构的功耗优化方法. 这些工作主要包括以测试集优化为基础的功耗优化方法^[4~9] 和以扫描优化为基础的功耗优化方法^[10~14]. 以测试集优化为基础的功耗优化方法主要包括低功耗测试产生算法^[4,5]、扫描单元的重新排序方法^[6,7]、无关位的优化填充方法^[8,9]. 而以扫描优化为基础的功耗优化方法主要通过扫描链的重构和阻塞技术^[10,11] 及扫描单元跳变的阻隔技术^[12,13] 获得较低的测试功耗. 虽然这些针对传统扫描直链结构的测试功耗

引用格式: 张玲, 王伟征. 代表扫描 —— 一种低功耗可测试性设计结构. 中国科学: 信息科学, 2016, 46: 511-522, doi: 10.1360/N112015-00013

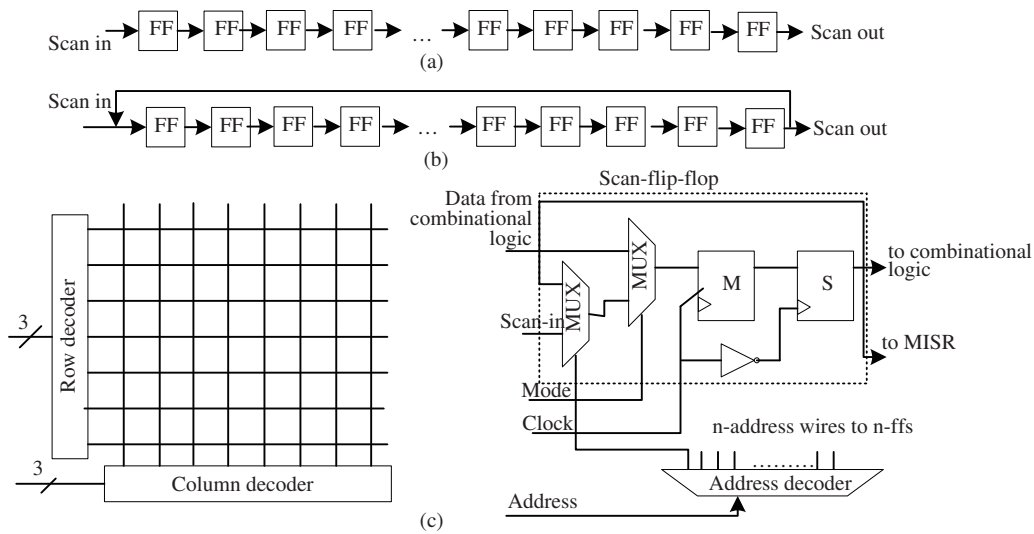


图 1 目前已有的 3 种基本扫描结构

Figure 1 Three existing scan architectures. (a) Conventional single scan architecture; (b) circular scan architecture; (c) RAS

优化方法一定程度上减少了测试功耗, 但由于传统扫描链的所有单元都参与测试数据移位而导致移位功耗难以降低。

第 2 类扫描结构是随机访问扫描 (RAS), 其结构在图 1(c) [14] 中给出, 它早在 1980 年就由 Ando 提出 [14]。RAS 结构允许对任意扫描单元直接读写, 减少了测试功耗和测试集规模。它之所以一直未被重视的原因是其硬件代价过大, 布线难以实现。针对 RAS 的多数工作都是在如何减少其硬件代价上, 主要包括两类方法, 第 1 类是从扫描单元上减少硬件代价 [15], 第 2 类是从 RAS 访问结构上减少硬件代价 [16, 17]。随机访问扫描提供了一种非常理想的可测试性设计结构, 利用这种策略, 测试数据规模、测试时间和功耗问题均能得到较大的改善, 但其硬件代价过大, 难以实现。

循环扫描结构 (circular scan) 是第 3 种基本扫描结构, 其结构如图 1(b) 所示 [18], 它由 Krasniewski 等在文献 [18] 中首次提出, 其初衷是为电路设计自测试系统, 以实现零存储测试, 即不需要任何存储设备对测试集进行存储。它的最大优点在于可以获得以传统线性反馈移位寄存器 (LFSR) 为基础的自测试结构的效果, 但有着与普通直链结构相当的硬件代价。目前对循环扫描结构的研究主要分为两大类: 循环扫描链的自测试方法 [19] 和循环扫描链的确定型测试策略 [20, 21]。循环扫描自测试方法中, 循环扫描链本身就是测试模式产生器 (TPG) 和测试响应分析器 (TGA), 以对时序电路进行随机测试。循环扫描链的确定型测试方法中, 循环扫描链与直链扫描结构一样, 仅仅充当移入移出测试数据的通路, 将给定的确定型测试集应用到电路中以完成测试, 它的优点在于可以实现测试响应直接作为下一个测试向量的测试模式, 但测试功耗没有减少。

测试功耗过大是集成电路测试的关键问题之一, 随着其规模的不断增大, 降低测试功耗更是迫在眉睫。为了改善由于扫描结构本身属性带来的测试功耗, 设计具有低功耗低代价的通用扫描结构, 本文提出第 4 种通用扫描结构: 代表扫描结构。它将传统扫描链或子链中的触发器改造成环形移位寄存器, 再为每个环形移位寄存器选择一个代表触发器, 并将这些代表触发器串联起来构成带有若干局部循环结构的代表扫描结构。代表扫描结构中仅有少部分代表触发器参与数据移位, 减少了测试数据移入移出的路径长度, 从而减少了移位功耗。另外, 相对于传统扫描链, 代表扫描结构仅需在每个触发器上增加一个选择器, 用来选择不同的测试模式, 硬件代价较小且控制灵活。

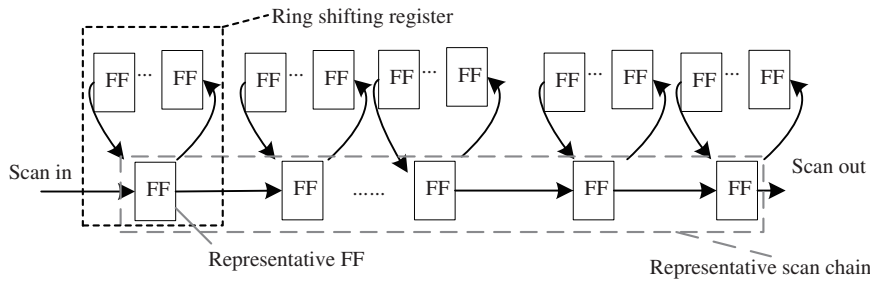


图 2 代表扫描结构

Figure 2 Representative scan architecture

2 代表扫描结构

2.1 代表扫描原理

图 2 给出代表扫描的基本结构, 其中 FF 为触发器. 与传统的扫描结构不同, 代表扫描结构将电路中的触发器设置成多个等大的环形移位寄存器 (ring shifting register), 并为每个环形移位寄存器选择一个代表触发器 (representative FF), 再把所有代表触发器串联, 构成带有若干局部循环的代表扫描结构.

如图 2 所示, 每个环形移位寄存器的测试数据都通过代表扫描链移入移出, 所以此结构工作于两种测试模式: 环形移位寄存器扫描模式 (ring shift scan mode) 和代表扫描链扫描模式 (representative scan mode). 在环形移位寄存器扫描模式下, 所有环形移位寄存器实现环形移动, 实现测试向量的移入 (从代表扫描链上接收测试向量) 和测试响应的移出 (将测试响应移到代表扫描链上); 在代表扫描链扫描模式下, 环形移位寄存器处于维持状态, 而代表扫描链实现移位操作, 将相应的测试向量移入和测试响应移出.

2.2 代表扫描结构及工作方式

图 3 中给出了环形移位寄存器大小为 2 的代表扫描结构, 与传统直链扫描结构比较, 代表扫描结构为每个触发器增加了一个二选一选择器用来选择不同的测试模式. 除 Scan_Enable=0 时, 电路正常工作模式外, 此结构还包含两种测试扫描模式 (Scan_Enable=1): 环形移位寄存器扫描模式和代表扫描链扫描模式. 环形移位寄存器包含两类触发器, 一类是代表触发器, 另外一类是环上的其他触发器. sel=1 时, 代表触发器和对应同环上的其他触发器均接收环形移位寄存器上相邻触发器的测试数据 (即来自信号 Scan_in_cr 的数据), 此时结构处于环形移位寄存器扫描模式; 而当 sel 为 0 时, 代表触发器接收代表扫描链上相邻触发器的测试数据 (即来自信号 Scan_in_sc 的数据), 而环上其他触发器处于维持状态, 此时结构处于代表扫描链扫描模式.

图 4 给出了代表扫描结构测试的一个例子. 如图所示, 该结构包含 7 个扫描单元, 其中包含两个大小为 3 的移位寄存器, 移位寄存器 1 包含 3 个触发器, 分别为 F10, F11 和 F12, 移位寄存器 2 包含 F20, F21 和 F22 三个触发器; 代表扫描链上包含 3 个触发器, 分别为 FF10, FF20 和 FF30. 表 1 给出了该结构对应的测试工作过程, 其中 V1 和 V0 代表任意两个相邻的测试向量, R0 表示对应测试向量 V0 的测试响应, V1 对应的测试数据顺序为 (V10 V20 V30 V11 V21 V12 V22), 表示扫描单元 (FF10 FF20 FF30 FF11 FF21 FF12 FF22) 的测试向量数据; 测试响应 R0 数据顺序为 (R11 R21 R12 R22 R10 R20 R30), 表示扫描单元 (FF11 FF21 FF12 FF22 FF10 FF20 FF30) 的测试响应. 如表 1 所示, 第 1 列

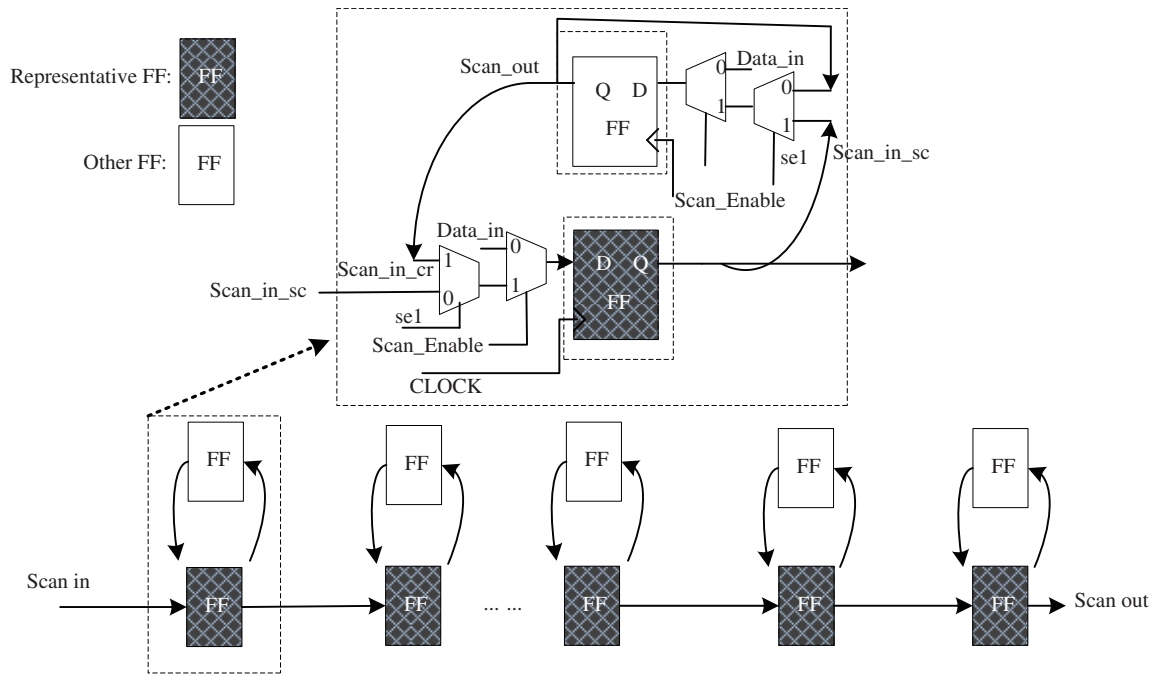


图 3 代表扫描结构控制的示意图

Figure 3 The control illustration of the representative scan architecture

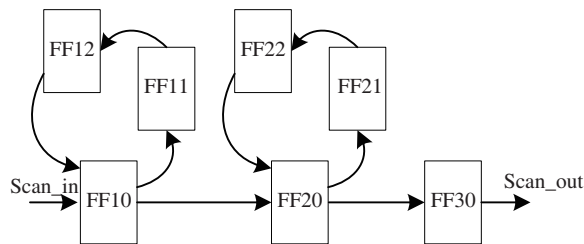


图 4 代表扫描测试例子

Figure 4 An example of representative scan testing

为控制信号 sel 的控制值, 第 2 列为在 sel 控制下代表扫描结构所处的测试模式和在该模式下所经历的时间, 第 3 和 4 列分别表示测试向量 V1 移入和测试响应 R0 移出的过程.

为了分析代表扫描结构的移位功耗, 图 5 中给出具有 11 个触发器的扫描直链 (conventional single scan chain)、循环扫描链 (circular scan chain)、和本文提出的代表扫描链 (representative scan) 的扫描结构示意图 (循环移位寄存器大小为 2). 对于传统扫描直链结构和循环扫描结构, WTC (weighted transition count) 被用来统计它们各自所发生的跳变总数. 其中 $WTC = \sum(p \times T)$, p 为发生跳变的具体位置, 对于测试向量来说, 其值等于此位置与扫描链输入端 (scan-in) 之间包含的扫描单元的个数; 而对于测试响应来说, 其值等于此位置与扫描链输出端 (scan-out) 之间包含的扫描单元的个数. 另外, 上一个测试响应的第一位与下个测试向量的最后一位产生的跳变也需计算在内, 用 T_{tr} 表示. T 表示跳变发生或不发生, 发生为 1, 不发生则为 0.

对于图 5(a) 中的直链结构来说, 设其测试向量和测试响应均为 11010101011, 用公式计算其测试

表 1 代表扫描结构的工作过程的一个例子
Table 1 An operation example of representative scan

Value of sel	Time	Operations of V1 (V10 V20 V30 V11 V21 V12 V22)	Operations of R0 (R11 R21 R12 R22 R10 R20 R30)
sel=0 (Representative scan mode)	2cycle	V12 V22 shift in representative chain (FF10 FF20)	R30 R20 shift out , R10 shifts in FF30
sel=1 (Ring shift scan mode)	1cycle	V12 V22 shift in ring shift register	R12 R22 shift in representative scan chain (FF10 FF20)
sel=0 (Representative scan mode)	2cycle	V11 V21 shift in representative chain (FF10 FF20)	R22,R10 shift out, R12 shifts in FF30
sel=1 (Ring shift scan mode)	1cycle	V11,V21 shift in ring scan chain	R11,R21 shift in representative chain (FF10,FF20)
sel=0 (Representative scan mode)	3cycle	V30,V20,V10 shift in representative chain	R11,R21,R12 shift out

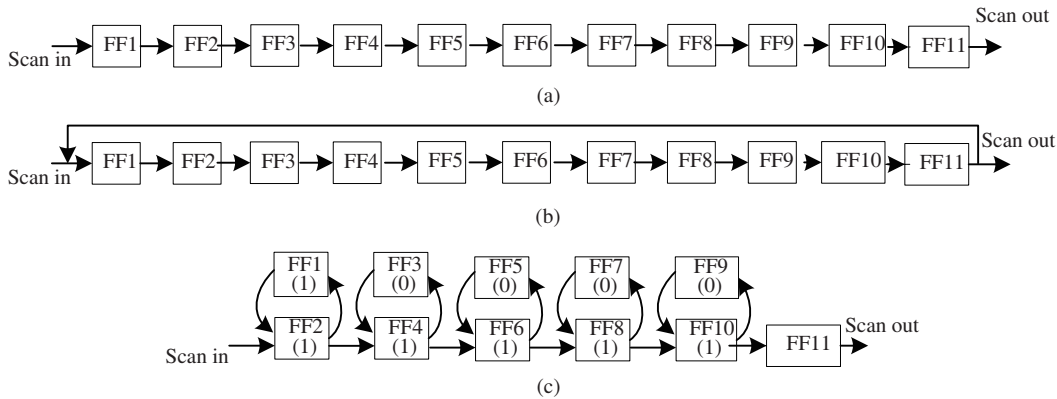


图 5 具有 11 个扫描单元的三种通用扫描结构的示意图

Figure 5 The illustrates of three scan architecture with 11 flip-flops. (a) Conventional single scan chain architecture; (b) circular scan architecture; (c) representative scan architecture

向量产生的跳变 $WTC_{in} = 1 \times 0 + 2 \times 1 + 3 \times 1 + 4 \times 1 + 5 \times 1 + 6 \times 1 + 7 \times 1 + 8 \times 1 + 9 \times 1 + 10 \times 0 = 44$, 而测试响应产生的跳变 $WTC_{out} = 10 \times 0 + 9 \times 1 + 8 \times 1 + 7 \times 1 + 6 \times 1 + 5 \times 1 + 4 \times 1 + 3 \times 1 + 2 \times 1 + 1 \times 0 = 44$, $T_{tr}=0$, 所以其产生的总跳变数 $WTC = 44 + 44 = 88$; 对于同样的测试向量应用到相应的循环扫描链 (如图 5(b) 所示), 其测试功耗与直链结构的功耗相当; 假设代表扫描结构 (图 5(c)) 将直链扫描结构的相邻两个扫描单元改造成循环移位寄存器, 则相应的跳变数为代表扫描结构的跳变数与循环移位扫描模式的跳变数之和, 其具体过程如下: 先经历 5 个时钟周期的代表扫描直链移位模式, 将移位寄存器上的测试数据 10000 移入代表扫描链, 同时将测试响应 11111 移出, 这个过程发生了 1 个跳变 (测试向量的第一个位置发生) +6 个跳变 (测试向量和响应之间发生). 再经历 1 个周期的循环寄存器移位模式, 将测试数据 10000 移入到位置 FF1, FF3, FF5, FF7 和 FF9, 这个过程未发生跳变. 最后再经历 6 个周期的代表扫描直链模式, 将测试响应 100001 移出代表扫描直链, 并把相应的测试向量 111111 移入直链, 这个过程发生 1 个跳变 (测试响应发生) +5 × 1 个跳变 (测试向量和响应之间发生), 这样就完成这个测试向量的应用, 所以总的跳变数为 6+6=12. 可以看出, 代表扫描结构仅有代表扫描链上代表触发器参与测试数据的扫描移位, 减少了测试数据的移位路径, 而由于测试数据变换, 可能会进一步减少移位功耗, 所以大大减小了总的移位功耗.

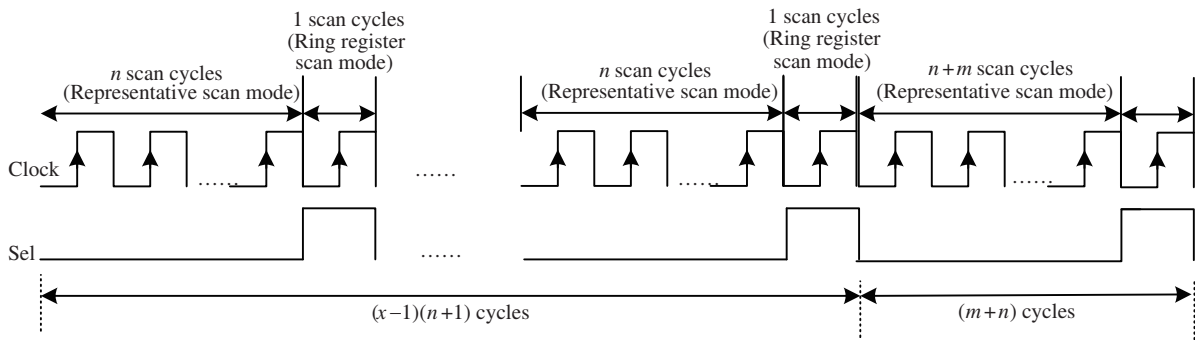


图 6 代表扫描控制信号时序图

Figure 6 Timing cycle diagram of representative scan

表 2 代表扫描的工作测试模式控制

Table 2 Control of work and scan mode of representative scan

SE	sel	Work mode
1	0	Representative scan mode
1	1	Ring shift scan mode
0	x	Functional mode

3 代表扫描结构的相关分析

设电路包含的扫描单元被分为 n 个大小为 x 的循环移位寄存器和剩下的 m 个扫描单元 ($m < x$), 每个循环移位寄存器的代表触发器和 m 个扫描单元连接成代表扫描链. 针对此结构的一个测试向量的控制时序图在图 6 中给出, 其扫描控制信号在表 2 中给出, 如图表所示, sel 信号可片上自行产生, 无需增加额外的测试端口 (test pins). 对于每次测试数据的移入, 都经历 n 个周期的代表扫描移位模式和 1 个周期的循环移位寄存器移位模式, 所以 sel 信号可以很容易的通过 n 个扫描周期产生一个脉冲的方式产生 (需产生 $x - 1$ 个这样的脉冲), 最后通过 $m + n$ 个周期的代表扫描链移位模式的测试数据的移入. 与传统扫描方式相同, Scan_Enable 信号可以作为测试模式和电路功能模式的控制信号. 这样, 每个代表触发器上增加的选择器 MUX 的时延对时钟 clock 是没有影响的. 因此, 对于代表扫描结构来说, 与传统扫描链对电路的正常功能操作带来的时延开销相同.

在时间上, 对每个测试向量来说, 代表扫描结构的测试应用时间为 $m + n + 1 + (x - 1) \times (n + 1)$ 个时钟周期, 而传统单链的测试应用时间为 $n \times x + m$ 个时钟周期, 所以本文增加了额外 $x - 1$ 个时钟周期, 这也是本方法的缺点.

所提出的代表扫描结构是一种可测试性结构的设计, 它的基本扫描单元相对传统的扫描单元多了一个选择器, 所以它不能直接由已有的 EDA 工具直接进行测试扫描的编辑, 但可进行一定的测试结构设计, 通过已有的 EDA 工具进行仿真后综合.

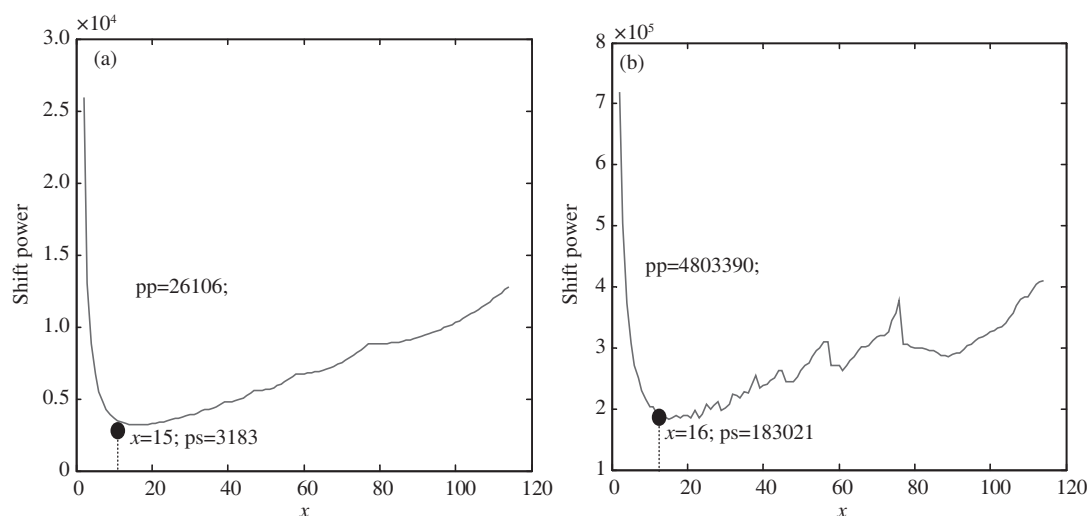
4 实验结果及分析

本实验对传统扫描直链, 循环扫描链及本文提出的代表扫描链进行了实验, 实验在 Intel Pentium 2.13 GHz CPU, 内存为 2.93 GB 的 linux C 环境下进行. 为了获得通用的, 与测试向量无关的, 最优的移位寄存器大小, 本文假设一个测试向量在扫描链的任意位置上都产生了一个跳变, 并从移位寄存

表3 测试移位功耗比较

Table 3 Comparison of shifting power

CUT	FF	Independent of test set				Mintest			
		x	B_sa	P_sa	sag (%)	x	B_sa	P_sa	sag (%)
s5378	179	13	2190	16110	13.59	19	62042	2463756	2.51
s9234	228	15	3183	26106	12.19	16	183021	4803390	3.81
s13207	669	26	16546	224115	7.38	29	378354	57627660	0.66
s35932	1728	42	69961	1493856	4.68	191	131187	24841728	0.53
s15850	597	24	13938	178503	7.81	29	365942	23649264	1.55
s38417	1636	40	64430	1339066	4.81	58	1789837	139940562	1.28
s38584	1425	38	52156	1016025	5.13	38	1585372	145543800	1.09

图7 S9234 功耗随 x 的变化曲线Figure 7 S9234's test power changing curve with x increasing. (a) Independent with test sets; (b) based on mintest test sets

器大小为 2 到大小为单扫描链的长度 n 之间进行搜索, 以获得最小的移位功耗及最优的代表扫描结构. 这个假设基于这样的事实: 相对于具有不同移位寄存器大小的结构, 若相邻扫描单元之间存在跳变, 则通过优化其物理位置来获得较小的总跳变数. 本文对 ISCAS89^[22] 电路进行了实验, 其移位功耗随着 x 的增大呈先上升后减小的趋势, 其中存在功耗最低点.

为了验证获得的功耗最低点相对于特定测试集是否准确, 第 2 个实验针对 mintest 测试集^[23] 随着循环移位寄存器大小 x 的变化进行功耗的计算, 具体移位功耗的比较在表 3 中给出.

图 7 给出了电路 S9234 的移位功耗随移位寄存器 x 的变化曲线, 图 7(a) 为与测试集无关的变化规律, 而图 7(b) 为 mintest^[23] 的移位功耗变化规律, 其中 pp 为传统扫描结构的总的移位跳变数, 反应了电路测试的移位功耗. 对应图 7(a), 假设任意两个相邻触发器之间存在跳变获得的 $x=15$ 为其功耗最低点, 移位功耗值 ps 为 3183, 仅为传统扫描移位功耗的 12.19%; 对于图 7(b), 功耗最低点也出现在 $x=16$ 处, 其对应的功耗为 ps=183021, 仅为传统扫描链跳变 pp 的 3.81%. 很容易看出, 两者随着 x 的变化趋势相同, 均先降低再升高, 其中存在移位功耗的最低点, 且最低点的位置相近. 图 7(a) 中, 本文假设任意两个相邻的触发器之间均产生跳变, 而对于图 7(b) 的具体测试集来说, 只要相邻的触发器数据之间产生跳变, 则可以通过图 7(a) 的假设反映出来, 所以两者的变化曲线相似, 功耗最低

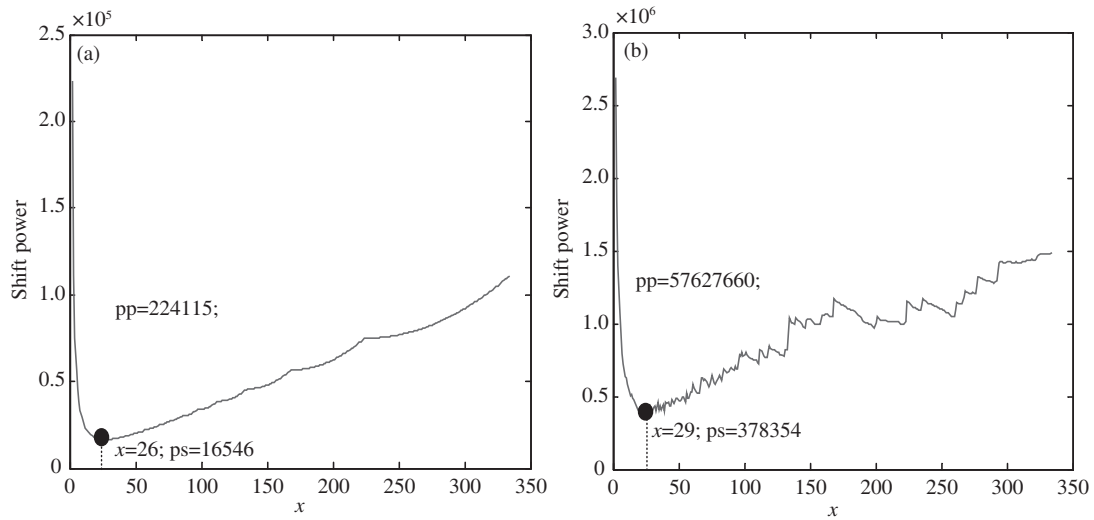


图 8 S13207 功耗随 x 的变化曲线

Figure 8 S13207's test power changing curve with x increasing. (a) Independent with test sets; (b) based on mintest test sets

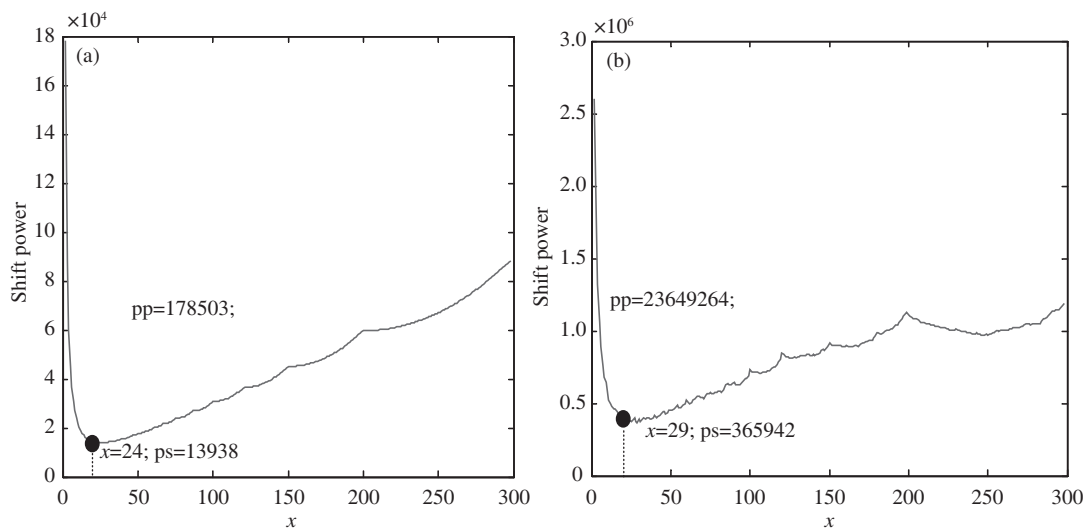


图 9 S15850 功耗随 x 的变化曲线

Figure 9 S15850's test power changing curve with x increasing. (a) Independent with test sets; (b) based on mintest test sets

点对应 x 的值基本相等. 与图 7 类似, 图 8 给出了电路 S13207 的独立于测试向量的优化结构 (a) 和利用 mintest 测试集获得优化结构 (b) 对应的 x 的结构及相关移位功耗随 x 的变化曲线. 如图所示, 两者的变化总的趋势是相同的, 本文提出的独立于测试集获得的功耗最低点对应的 x 值为 26, 而利用 mintest 测试集获得的功耗最低点的 x 值为 29, 可见两者功耗的最低点对应的 x 值是非常接近的; 另一方面, 图 8(a) 的功耗最低点获得的功耗为传统扫描链的 7.38%, 而对于 mintest 来说, 其功耗最低点对应的功耗仅为传统扫描链的 0.66%. 图 9 和 10 分别给出电路 S15850 和 S38417 的移位功耗随移位寄存器大小 x 的变化曲线, 其中 (a) 图为与测试集无关的功耗变化曲线, (b) 图为 mintest 的移位功耗

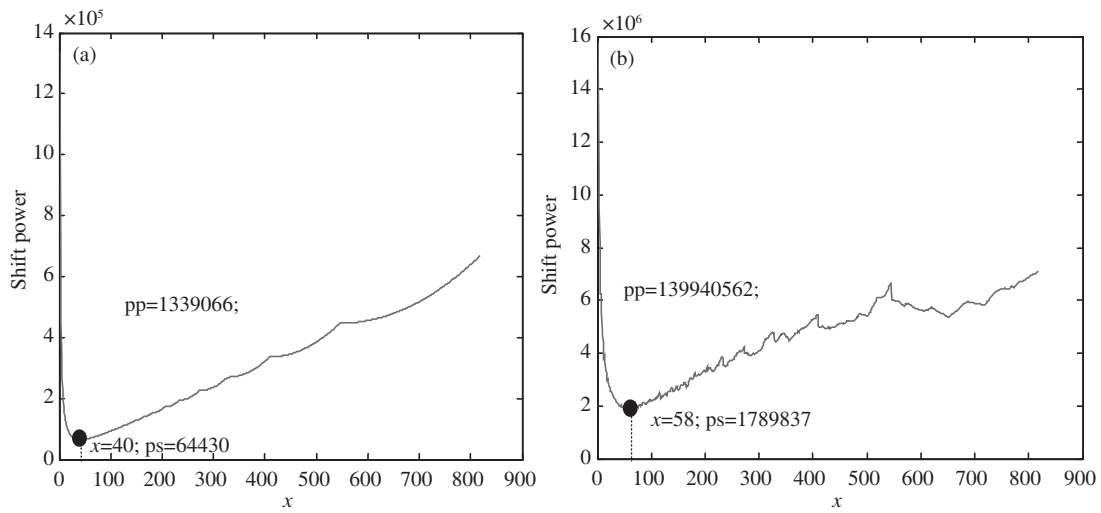


图 10 S38417 功耗随 x 的变化曲线

Figure 10 S38417's test power changing curve with x increasing. (a) Independent with test sets; (b) based on mintest test sets

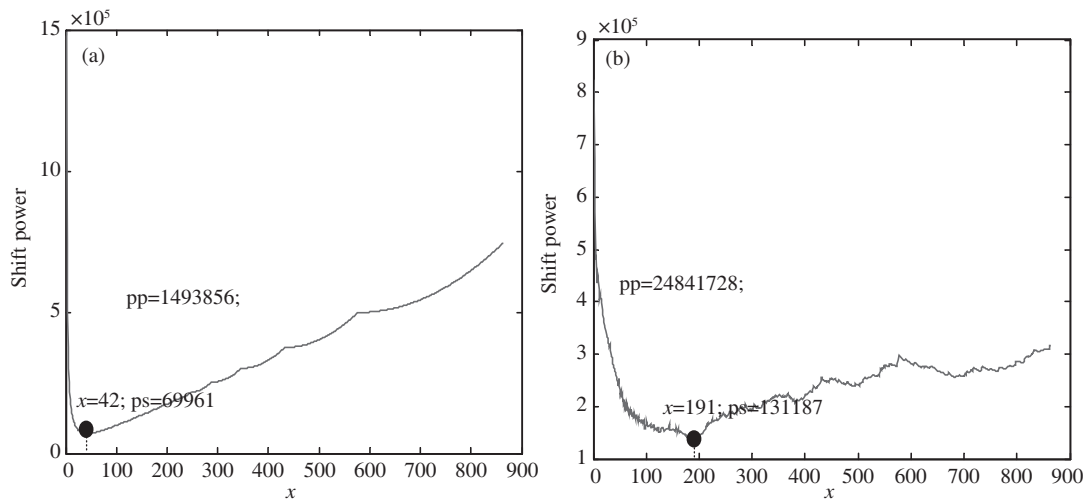


图 11 S35932 功耗随 x 的变化曲线

Figure 11 S35932's test power changing curve with x increasing. (a) Independent with test sets; (b) based on mintest test sets

变化曲线, 图 9(a) 和 (b) 中, 电路 S15850 的功耗最低点非常接近, 分别为 24 和 29, 其 mintest 测试集结果中, 代表扫描的移位功耗仅为传统扫描结构的 1.55%; 同样, 图 10(a) 和 (b) 中电路 S38417 的功耗最低点分别为 40 和 58, 其 mintest 结果中, 代表扫描的移位功耗仅为传统扫描结构的 1.28%.

图 11 给出 S35932 的曲线变化图, 从图中看出, 代表扫描仍获得较低的功耗, (a) 图中仅为传统扫描结构移位功耗的 4.68%, 而 (b) 图中仅为传统扫描结构移位功耗的 0.53%; 但是, 对于此电路来说, 两者的功耗最低点获得的 x 值相差却很大, 分别为 42 和 191, 这是因为测试向量在传统扫描直链转化为代表扫描链时, 存在部分数据变化, 导致原来相邻的触发器变得不相邻, 而原来不相邻的触发器变得相邻, 虽然对于大部分电路其功耗最低点对应的 x 值相当, 但对于部分“特殊”测试集, 两者功耗最低

点就会产生一定的差距.

表 3 给出具体移位功耗值的结果比较, 其中 $sag=B_{sa}/P_{sa}$, 从表中可以看出, 由于测试数据移位路径的减小, 移位功耗得到了较大幅度的减小, 对于电路 S35932, 应用 mintest 测试集, 其移位功耗仅为传统直链的 0.53%, 从减小功耗方面来说, 这是非常有意义的.

作为一种通用的测试结构, 代表扫描利用有限的测试端口提供内部大量的测试数据, 并减小触发器的测试数据的移位路径, 从而使移位功耗减小. 其硬件代价仅为每个触发器上增加一个二选一选择器, 硬件代价不大; 其扫描链长度有所减小, 时延有所减小, 且不会对电路的功能时延有所影响; 其控制信号很容易从电路时钟信号获得, 未增加相关的测试端口. 其最大的缺点是测试时间有所增加, 这是代表扫描下一步要解决的重要问题.

5 小结及下一步工作

本文首次提出代表扫描结构, 该结构仅选择部分代表触发器串联成代表扫描链作为测试数据的移位路径, 大大减少了移位功耗, 该结构具有较小的硬件代价, 获得较小的移位功耗, 而且是一种通用的扫描结构, 理论和实验结果均表明代表扫描结构是一种非常有效的低端口, 低功耗的可测试设计结构. 代表扫描的不足在于其测试时间的增加, 这是由于代表扫描和循环移位测试模式使用同一个数据路径导致, 本文下一步工作是通过设置不同的数据路径来减小测试时间.

参考文献

- 1 Bardell P H, McAnney W H. Self-testing of multichip logic modules. In: Proceedings of International Test Conference. New York: IEEE, 1982. 200–204
- 2 Wang L T, Wen X Q, Wu S, et al. Virtualscan: test compression technology using combinational logic and one-pass ATPG. Des Test Comput, 2008, 25: 122–129
- 3 Lee L J, Tseng W D, Lin R B, et al. 2n pattern run-length for test data compression. IEEE Trans Comput-Aided Des Intergrated Circ Syst, 2012, 31: 644–648
- 4 Wen X, Miyase K, Kajihara S, et al. On pinpoint capture power management in at-speed scan test generation. In: Proceedings of IEEE International Test Conference. New York: IEEE, 2012. 1–10
- 5 Irith P. Functional broadside templates for low-power test generation. IEEE Trans Very Large Scale Integration Syst, 2013, 21: 2321–2325
- 6 Wu Y Z, Chao M C T. Scan-chain reordering for minimizing scan-shift power based on non-specified test cubes. In: Proceedings of IEEE VLSI Test Symposium. New York: IEEE, 2008. 147–154
- 7 Wang S J, Li K S, Chen S C, et al. Scan-chain partition for high test-data compressibility and low shift power under routing constraint. IEEE Trans Comput-Aided Design Integrated Circ Syst, 2009, 28: 716–727
- 8 Wang W, Kuang J, You Z, et al. Achieving low capture and shift power in linear decompressor-based test compression environment. Microelectron J, 2012, 43: 134–140
- 9 Chen M, Orailoglu A. Scan power reduction for linear test compression schemes through seed selection. IEEE Trans Very Large Scale Integration Syst, 2012, 20: 2170–2183
- 10 You Z, Iwagaki T, Inoue M, et al. A low power deterministic test using scan chain disable technique. IEICE Trans Inform Syst, 2006, E89-D: 1931–1939
- 11 Xu Q, Hu D, Xiang D. Pattern-directed circuit virtual partitioning for test power reduction. In: Proceedings of IEEE Test Conference. New York: IEEE, 2007. 1–10
- 12 Bo Y, Sanghani A, Sarangi S, et al. A clock-gating based capture power droop reduction methodology for at-speed scan testing. In: Proceedings of Design, Automation, and Test in Europe Conference and Exhibition (DATE). Piscataway: IEEE, 2011. 197–203

- 13 Zhao W, Tehranipoor M, Chakravarty S. Power-safe test application using an effective gating approach considering current limits. In: Proceedings of IEEE VLSI Test Symposium. New York: IEEE, 2011. 160–165
- 14 Ando H. Testing VLSI with random access scan. In: Proceeding of Digest of Computer Society International Conference (COMPCON). Piscataway: IEEE, 1980. 50–52
- 15 Adiga R, Arpit G, Singh V, et al. Modified t-flip-flop based scan cell for RAS. In: Proceedings of 15th European Test Symposium. Piscataway: IEEE, 2010. 113–119
- 16 Baik D H, Saluja K. Progress random access scan: a simultaneous solution to test power, test data volume and test time. In: Proceedings of International Test Conference (ITC). New York: IEEE, 2005. 1–10
- 17 Adiga R, Arpit G, Singh V, et al. On minimization of test application time for RAS. In: Proceedings of 23rd International Conference on VLSI Design. Piscataway: IEEE, 2010. 393–398
- 18 Krasniewski A, Pilarski S. Circular self-test path: a low-cost BIST technique. In: Proceedings of Design Automation Conference. New York: IEEE, 1987. 407–415
- 19 Krasniewski A, Pilarski S. Circular self-test path: a low-cost BIST technique for VLSI circuits. IEEE Trans Comput-Aided Design, 1989, 8: 46–54
- 20 Arslan B, Orailoglu A. Circular scan: a scan architecture for test cost reduction. In: Proceedins of Design, Automation, and Test in Europe Conference and Exhibition. Paris: IEEE, 2004. 1290–1295
- 21 Azimipour M, Fathiyan A, Eshghi M. A parallel circular-scan architecture using multiple-hot decoder. In: Proceedings of 15th International Conference on Mixed Design. Poland: IET, 2008. 475–480
- 22 Brglez F, Bryan D, Kozminski K. Combinational profiles of sequential benchmark circuits. In: Proceeding of International Symposium on Circuits and Systems. Portland: IEEE, 1989. 1929–1934
- 23 Hamzaoglu I, Patel J H. Test set compaction algorithms for combinational circuits. In: Proceedings of International Conference on Computer-Aided Design. New York: IEEE, 1999. 283–289

Representative scan: a low-power DFT architecture

Ling ZHANG^{1*} & Weizheng WANG²

1 School of Computer, Hubei Polytechnic University, Huangshi 435003, China;

2 School of Computer and Communication Engineering, ChangSha University of Science and Technology, Changsha 410004, China

*E-mail: forry1230@126.com

Abstract The scan chains of conventional scans consist of all the scan cells. The path for test-data shifting is therefore long, which induces a high shifting power. This paper proposes a new design-for-testing (DFT) architecture, which transforms the scan cells of a conventional scan chain or sub-chain into circular shift registers. A representative flip-flop is chosen for each circular shift register, and these are then connected serially to be set up in the representative scan architecture. In this way, the proposed representative scan reduces the shifting power and the number of test pins needed. For benchmark circuits of ISCAS89, the shifting power of the best architecture of a representative scan is only 4.68%~13.59% of a conventional scan. Especially for S35932, the shifting power is only 4.68% of that for a corresponding conventional scan. Compared with a conventional scan, a representative scan only needs to add a multiplexer for each scan cell, and the hardware cost is low.

Keywords digital integrated circuit testing, design for testing, scan architecture, low power testing, representative scan



Ling ZHANG was born in 1980. She received her Ph.D. degree in computer science from Hunan University, Changsha in 2013. Currently, she is a lecturer in Hubei Polytechnic University. Her research interests include digital IC testing and test-data compression.



Weizheng WANG was born in 1984. He received a Ph.D. degree in technology of computer application from Hunan University in 2011. Currently, he is a lecturer at Changsha University of Science and Technology. His research interests include design-for-testability and low-power testing.