

论文

基于信息论的高容错 MRF 电路的供电电压分析

李晓倩*, 胡剑浩*, 李妍

电子科技大学通信抗干扰技术国家级重点实验室, 成都 611731

* 通信作者. E-mail: lixq_email@163.com, jhhu@uestc.edu.cn

收稿日期: 2015-05-10; 接受日期: 2015-07-03; 网络出版日期: 2016-02-23

国家自然科学基金 (批准号: 61371104) 和国家高技术研究发展计划 (863) (批准号: 2012AA011702) 资助项目

摘要 低功耗技术是当前研究热点, 尤其对于手持移动设备, 其重要性更为突出. 降低电压是降低功耗最直接有效的方式之一, 传统 CMOS (complementary metal oxide semiconductor) 电路在低电压条件下已无法正常工作, 而基于能量观点的 MRF (Markov random field) 电路在超低电压下却拥有 BER (bit error rate) 超过 10^{-5} 的良好稳定性, 从而引起学术界广泛关注, 但是缺少对 MRF 电路的电路稳定性和其供电电压之间的理论研究. 本文基于信息论的观点对 MRF 电路进行了理论分析与证明, 证明出在输出正确概率相同的条件下, MRF 电路的供电电压下界低于传统 CMOS 电路, 并且进一步证明出其本质原因. 本文的工作可以为后续基于 MRF 的低功耗高稳定性电路设计提供理论基础.

关键词 信息论 Markov 电路 低功耗 供电电压 稳定性

1 引言

随着科学技术的进步, 信息系统朝着更大的传输速率、更高的处理能力、更低的功率消耗等方向发展^[1]. 因此, 如何大幅度地降低信息系统及电路的功耗已经成为信息技术研究的热点和亟待解决的问题. 数字互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 电路在信息系统占有重要的地位, CMOS 功率消耗包括动态功耗和静态功耗, 动态功耗占主要地位, 其公式如下

$$P = \alpha CV^2 f, \quad (1)$$

其中, α 是翻转活动性, C 是总负载电容, f 是切换频率, V 是供电电压. 目前, 多数低功耗技术致力于最小化负载电容、消除多余的翻转^[2]、降低电源电压^[3,4]. 由于电压和动态功耗成二次方关系, 因此在以上低功耗的技术中, 低电压供电技术成为研究的热点; 同时, 低电压也会降低电路静态功耗. 因而降电压在降低电路动态功耗和静态功耗上都是直接有效的技术路线.

低电压的研究开始于文献 [5], 对 CMOS 电路的近阈值操作进行建模, 并由此构建低电压供电分析模型; 文献 [6] 对环形振荡器的低电压功耗和性能进行了研究; 文献 [7] 在降电压后对 CMOS 电路特性进行了分析; 文献 [8] 提出了多电压供电的架构, 电压可以随着频率和操作改变. 然而, 随着电压逐渐降低, 系统会表现出较为明显地不稳定和不可靠. 一方面由于供电电压的降低会造成噪声容限下

引用格式: 李晓倩, 胡剑浩, 李妍. 基于信息论的高容错 MRF 电路的供电电压分析. 中国科学: 信息科学, 2016, 46: 404-416, doi: 10.1360/N112014-00378

降, 即电路抵抗噪声的能力下降^[9]; 另一方面由于芯片特征尺寸不断减小, CMOS 器件出现更多的本征噪声 (intrinsic noise) 等由器件制造工艺带来的不确定性噪声. 因此, 低电压下的可靠性已成为集成电路设计的关键性问题.

近几年来, 各种研究致力于改善电路的可靠性问题. 三模冗余 (triple modular redundant, TMR) 在一定程度上可以使电路性能得到提升^[10], 但是其结构会同时受本征噪声影响从而不能解决深亚微米 (deep submicron technologies, DSM) 下日益增加的随机噪声影响. 错误校正码 (error correction codes, ECC) 从纠错编码的角度处理电路容错^[11], 但是由于现有研究没有清楚地得到本征噪声的有效分布模型, 从而不能选取有效编码码字. 文献 [4,12] 可以在一定程度上解决超低电压下的可靠性问题, 但其供电电压只能降到 0.4 V. 因此现有技术为解决超低电压供电的可靠性问题上都存在一定不足, 从而成为现有研究的瓶颈和关键性问题.

马尔可夫随机场论 (Markov random field, MRF) 电路最早提出于文献 [13], 以其在超低供电电压 ($V_{dd} = 0.1 \sim 0.25$ V) 下拥有误码率 (Bit error rate, BER) 优于 10^{-5} 的良好稳定性引起了大家的广泛关注. 接着文献 [14,15] 对其进行了以反馈结构为核心的基本电路设计. MRF 是从能量的观点, 利用反馈结构进行的电路构造, 它并不要求电路的每个结点在每个时刻都正确, 而是希望使电路正确的联合概率最大, 从而实现电路的性能稳定可靠. 其不仅能够容忍本征噪声等一系列随机噪声并且可以在超低电压下正常工作, 在大规模集成电路的低功耗设计中具有很大的研究前景. 在近几年的研究中, 文献 [16~18] 在 MRF 电路设计减小复杂度方面都做出了一定的贡献, 但是在理论层面对于其反馈结构能够在超低电压下容错的本质原因至今未得到很好解释.

本文受近两年新理论反馈结构通信 (feedback communication) 的影响, 从信息论角度证明了反馈结构对于通信具有容错增益^[19,20]. 因此通过等价模型的建立, 利用信息论的观点对 MRF 反馈结构进行容错分析. 文献 [21] 从信息论角度出发, 给出了信道容量与供电电压之间的关系. 基于此, 借助于信息论观点, 由 MRF 反馈结构出发, 与传统 CMOS 电路对比, 希望可以给出 MRF 电路能够在超低电压下具有高容错的理论依据.

基于信息论的观点对 MRF 电路的可靠性与其供电电压进行了理论分析与证明. 首先给出 4 条引理, 在输出正确概率相同的条件下, 以反相器为例, 分析和证明了 MRF 电路与传统 CMOS 电路信息熵、条件熵、互信息以及互信息差异与概率不对称性的关系, 并且给出其物理意义. 然后基于这 4 条引理, 采用信道容量的分析方法, 证明了在输出正确概率相同的条件下, MRF 电路供电电压可以小于 CMOS 电路, 并且进一步探讨出其本质原因. 得出结论: MRF 电路之所以优于传统 CMOS 的本质原因在于, MRF 采用了概率具有不对称性电路结构实现传统 CMOS 电路的逻辑功能; 通过优化 MRF 电路的概率不对称性, 可以使电路的性能更优. 因此, 本文给出了 MRF 电路结构可靠性的理论分析方法, 可以为 MRF 电路设计提供理论支撑.

本文结构如下. 第 2 部分将简要介绍信息论的基本知识以及 MRF 电路设计的基本理论. 第 3 部分是本文的主体, 基于信息论的观点对 MRF 电路的分析与证明. 第 4 部分是对全文的总结.

2 理论基础

2.1 信息论理论基础

2.1.1 信息熵

设 $X = x_0, x_1, \dots, x_{L-1}$ 为离散型随机变量, 其概率密度函数为 $p(X) = \Pr(X = x)$, 其熵定义为

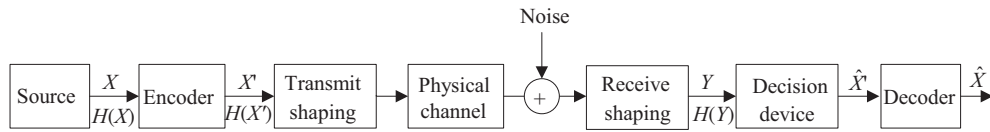


图 1 典型通信系统的方框图表示

Figure 1 The block diagram of communication system

$$H(X) = - \sum_{i=0}^{L-1} p(x_i) \log p(x_i), \quad (2)$$

其中对数 \log 所用的底数为 2, 熵的单位用比特表示. 熵是随机变量不确定性的度量, 也是平均意义上描述随机变量所需的信息量的度量 [22].

将二元离散随机变量的熵函数定义为 $H(p)$ 函数, 如式 (3) 所示.

$$H(X) = -p \log p - (1 - p) \log(1 - p) \stackrel{\text{def}}{=} H(p), \quad (3)$$

其中 $H(p)$ 为一凹函数, 且严格上凸. $H(p)$ 函数在 $p = 0.5$ 处达到最大值 1, 在 $p = 0$ 或 1 处达到最小值 0.

2.1.2 互信息

设两个离散随机变量 $X = x_0, x_1, \dots, x_{L-1}$, $Y = y_0, y_1, \dots, y_{L-1}$, 它们的联合概率密度函数为 $p(x, y)$, 则其互信息定义为

$$I(X; Y) = \sum_{y \in Y} \sum_{x \in X} p(x, y) \log \frac{p(x|y)}{p(x)}. \quad (4)$$

互信息表征的是一个随机变量包含另一个随机变量信息量的度量, 它是在给定另一随机变量的条件下, 原随机变量不确定度的缩减量 [22].

由式 (2) 对式 (4) 进行变形得

$$I(X; Y) = H(X) - H(X|Y) = H(Y) - H(Y|X), \quad (5)$$

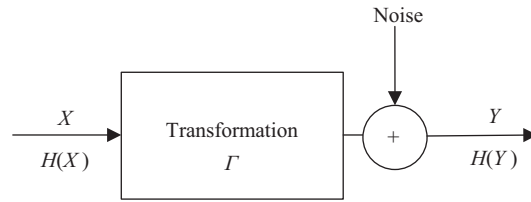
其中条件熵为

$$H(X|Y) = - \sum_{y \in Y} \sum_{x \in X} p(x, y) \log p(x|y). \quad (6)$$

由式 (5) 知, 互信息 $I(X; Y)$ 是在给定 Y 信息的条件下 X 的不确定度的缩减量, 也可以理解为互信息 $I(X; Y)$ 是在给定 X 信息的条件下 Y 的不确定度的缩减量. 而条件熵表征的是在给定另一随机变量的条件下, 原随机变量不确定度的残余量 [22].

2.1.3 信道容量

典型的离散通信系统如图 1 所示, 该系统由输入 X 、输出 Y 、编码器、译码器以及物理信道构成, 其等价图如图 2 所示, 其中噪声为信道噪声. 在等价分析中, 将信息系统或其模块电路等效为变换 Γ , 电路中的噪声等价于信道噪声, 从而可以将通信系统中信息论观点应用于电路系统中.

图 2 通信系统的等价变换 Γ Figure 2 Equivalent transformation Γ of communication system

文献 [21] 定义的每用信道容量为

$$C_u = \max_{\forall p(x)} I(X; Y), \quad (7)$$

其最大值取自于所有可能的输入分布. 信道容量定义为

$$C = C_u f_c, \quad (8)$$

其中对于 CMOS 电路而言 [21]

$$f_c = \frac{k_m (V_{dd} - V_t)^2}{V_{dd} C_L}, \quad (9)$$

k_m 为 NMOS/PMOS 的跨导, V_{dd} 为供电电压, V_t 为阈值电压, C_L 为负载电容. 由式 (9) 可知, 信道速率 f_c 在电路中与电路特性息息相关, 其与供电电压 V_{dd} 成正比, 与负载电容 C_L 成反比.

2.2 MRF 电路

Markov 随机电路是基于 MRF 形成的数字电路结构 [13]. 它利用能量的观点去构建电路, 能够在超低供电电压 ($V_{dd} = 0.1 \sim 0.25$ V) 条件下拥有良好的电路稳定性. 例如 MRF 电路结构构造的 CMOS 反相器, $V_{dd} = 0.25$ V 时, 其误码率超过 10^{-5} . MRF 电路的主要设计思想是, 它不要求其电路中的每个结点在每个时刻都处于正确状态, 而是要求电路各节点处于正确状态的联合概率最大化, 从而保障电路获得最好的稳定性能. MRF 的电路设计的核心步骤如下所示

- 多级的布尔逻辑到 MRF 网络的映射. 由 Hammersley-Clifford 定律, 将电路中的联合概率转化到 MRF 中的簇能量 [15].

- MRF 网络到 MRF 基本单元的映射. 其核心思想是设计簇能量 U_c , 要求保证正确状态的簇能量小于错误状态的簇能量.

下文将以 MRF 的反相器为例简要说明 MRF 电路的设计步骤. 由表 1 可得反相器簇能量为 $U_c(x, y) = -(\bar{x}y + x\bar{y})$. 其电路图如图 3 所示 [14].

文献 [14] 在 Berkeley 70 nm 工艺 0.15 V 超低电压供电下对 MRF 反相器进行测试, 结果显示其具有较好的容错效果. 其能够很好地在低电压条件下工作, 解决了传统 CMOS 超低电压供电条件下无法可靠工作的问题.

但是目前对于 MRF 电路的研究缺少系统的理论证明. 现有的文献也仅给出了簇能量表达式, 电路以及仿真结果 [14,15], 缺少从簇能量到电路映射的理论基础. 基于此, 本论文旨在用信息论的观点对现提出的 MRF 电路进行分析, 给出其电路可靠性的理论证明.

表 1 反相器电路的所有输出及其簇能量
Table 1 Output and the clique energy for inverter

Input x	Output y	State	$U_c(x, y) = -(\bar{x}y + x\bar{y})$
0	0	False	0
0	1	True	-1
1	0	True	-1
1	1	False	0

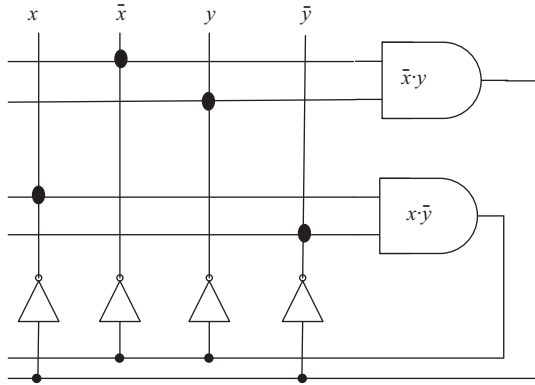


图 3 MRF 反相器结构

Figure 3 Structure of MRF inverter

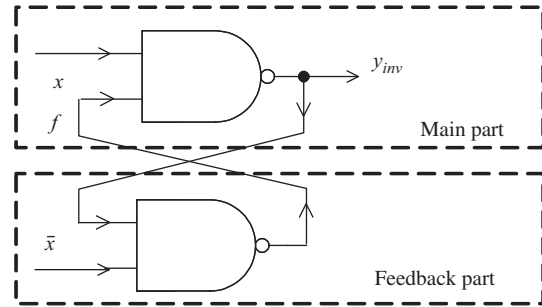


图 4 MRF 反相器分析结构

Figure 4 Analysis model of MRF inverter

3 基于信息论对 MRF 电路的分析

3.1 基本模型

本小节采用文献 [23] 中的 CMOS 概率模型对电路进行分析. 不失一般性, 以 MRF 反相器为例, 分析如下.

传统 CMOS 反相器, 令 p_0 为输入 0 的条件下输出正确的概率, p_1 为输入 1 的条件下输出正确的概率, 即

$$\begin{aligned} p_0 &= p(V_{\text{out}} = 1 | V_{\text{in}} = 0)_{\text{inv}}, \\ p_1 &= p(V_{\text{out}} = 0 | V_{\text{in}} = 1)_{\text{inv}}. \end{aligned} \quad (10)$$

由 CMOS 反相器概率模型 [23] 中的对称性 (输出比特 0 和 1 的概率相等即为对称), 得

$$p_0 = p_1 = p, \quad (11)$$

其中, $p \in [0, 1]$ 为反相器输出正确的概率. 以输入 0 为例, 由 CMOS 反相器特性可知, 当输入端比特 0 受到干扰为 1 时, 将输出 0, 从而发生错误. 基于此, 文献 [14] 提出了 MRF 反相器结构如图 3, 其简化结构如图 4 所示. 本文以图 4 对 MRF 反相器进行分析, 它分为主模块与反馈模块. 其两部分的输入输出的真值表如表 2 所示, 显然其输入 x 与输出 y 实现了反相器功能, 且在正确的情况下, 反馈端口与输入端口的比特值是相等的.

表 2 MRF 反相器的真值表
Table 2 Truth table of MRF-based inverter

Truth table	Value of input		Value of output
	x	f	
NAND-based inverter	0	0	1
	1	1	0

同样以输入比特 0 为例. 由图 4 可知, 当输入端比特 0 受干扰时, 其输出仍以很大概率取到正确值, 由此可预见 MRF 反相器性能优于传统反相器. 下文将以信息论的观点从理论上证明此结论.

MRF 反相器, 令 $p_x \in [0, 1]$ 为输入端正确的概率, $p_f \in [0, 1]$ 为反馈端输入正确的概率. 故

$$\begin{aligned} p_0^* &= p(V_{\text{out}} = 1 | V_x = 0)_{\text{NAND}} = p_x + p_f - p_x \cdot p_f, \\ p_1^* &= p(V_{\text{out}} = 0 | V_x = 1)_{\text{NAND}} = p_x \cdot p_f, \end{aligned} \quad (12)$$

其中 p_0^* 为输入为 0 的条件下输出正确的概率, p_1^* 为输入为 1 的条件下输出正确的概率.

由式 (12) 得到

$$p_0^* \geq p_1^*. \quad (13)$$

又由反相器特性

$$p | \text{correct} = p(x = 1) \cdot p(y = 0 | x = 1) + p(x = 0) \cdot p(y = 1 | x = 0). \quad (14)$$

得到 CMOS 反相器与 MRF 反相器输出正确的概率为

$$p_{\text{CMOS}} = p, p_{\text{MRF}} = \frac{1}{2}(p_0^* + p_1^*), \quad (15)$$

其中假设输入比特取 0 和 1 为等概, 如 Bernoulli 序列.

3.2 基于信息论对 MRF 反相器的分析

基于上一节的基本模型, 本文着重于在相同可靠性 (输出正确概率) 的条件下, 比较 MRF 电路与传统 CMOS 电路供电电压下界之间的关系. 即两者输出正确的概率满足如下关系

$$p = \frac{1}{2}(p_0^* + p_1^*). \quad (16)$$

下文首先给出了 4 条关于 MRF 电路与传统电路之间的信息熵、条件熵、互信息以及互信息差异与概率的不对称性关系的引理, 并给出相关证明. 基于这 4 条引理, 我们证明电路供电电压下界与电路可靠性之间的关系, 且通过分析发现, MRF 电路与传统电路之间供电电压存在差异的本质原因在于 MRF 结构的概率不对称性更优.

引理 1 在输出正确概率相同的条件下, 输出信息熵的关系为

$$H(Y_{\text{CMOS}}) \geq H(Y_{\text{MRF}}), \quad (17)$$

其中假设两者具有相同的输入 X .

证明 假设输入为 Bernoulli 分布序列, 如表 3 所示.

表 3 输入输出的概率分布

Table 3 Input and output probability distribution

Probability	0	1
$p(X)$	$\frac{1}{2}$	$\frac{1}{2}$
$p(Y_{\text{CMOS}})$	$\frac{1}{2}$	$\frac{1}{2}$
$p(Y_{\text{MRF}})$	$\frac{1}{2} - \frac{1}{2}(p_0^* - p_1^*)$	$\frac{1}{2} - \frac{1}{2}(p_1^* - p_0^*)$

表 4 联合概率分布

Table 4 The joint probability distribution

(X, Y)	(0,0)	(0,1)	(1,0)	(1,1)
$p(X, Y)_{\text{CMOS}}$	$\frac{1}{2}(1 - p)$	$\frac{1}{2}p$	$\frac{1}{2}p$	$\frac{1}{2}(1 - p)$
$p(X, Y)_{\text{MRF}}$	$\frac{1}{2}(1 - p_0^*)$	$\frac{1}{2}p_0^*$	$\frac{1}{2}p_1^*$	$\frac{1}{2}(1 - p_1^*)$

由全概率公式

$$\begin{aligned} p(y = 0) &= p(x = 1) \cdot p(y = 0|x = 1) + p(x = 0) \cdot p(y = 0|x = 0), \\ p(y = 1) &= p(x = 1) \cdot p(y = 1|x = 1) + p(x = 0) \cdot p(y = 1|x = 0), \end{aligned} \quad (18)$$

得到输出的概率分布如表 3 所示.

由式 (13) 得

$$p(y = 1)_{\text{MRF}} \geq \frac{1}{2}, \quad p(y = 0)_{\text{MRF}} \leq \frac{1}{2}. \quad (19)$$

由于 $H(p)$ 函数为一凹函数, 且 $H(p)$ 函数在 $p = 0.5$ 处达到最大值 1, 在 $p = 0$ 或 1 处达到最小值 0. 因此 $H(Y_{\text{CMOS}}) \leq 1$, $H(Y_{\text{MRF}}) = 1$, 即 $H(Y_{\text{CMOS}}) \geq H(Y_{\text{MRF}})$. 证毕.

引理 1 说明了在相同的输入、相同的输出正确概率条件下, CMOS 反相器输出的不确定度大于 MRF 反相器, 即说明与传统 CMOS 相比, MRF 电路可以减少一定的不确定度.

引理 2 在输出正确概率相同的条件下, 条件熵的关系为

$$H(Y_{\text{CMOS}} | X) \geq H(Y_{\text{MRF}} | X). \quad (20)$$

其中假设两者具有相同的输入 X .

证明 由表 3、式 (10) 以及式 (12) 可得其联合概率分布, 如表 4 所示.

由其联合概率, 得到条件熵

$$\begin{aligned} H(Y_{\text{CMOS}} | X) &= H(p), \\ H(Y_{\text{MRF}} | X) &= \frac{1}{2}H(p_0^*) + \frac{1}{2}H(p_1^*), \end{aligned} \quad (21)$$

其中 $H(p)$, $H(p_0^*)$, $H(p_1^*)$ 来源于式 (3).

由于 $H(p)$ 函数为一凹函数, 且严格上凸, 即

$$H[\alpha p_0^* + (1 - \alpha)p_1^*] \geq \alpha H(p_0^*) + (1 - \alpha)H(p_1^*). \quad (22)$$

因此由式 (16), 当 $\alpha = \frac{1}{2}$, 有 $H(p) \geq \frac{1}{2}H(p_0^*) + \frac{1}{2}H(p_1^*)$. 证毕.

引理 2 说明了在相同的输入不确定度条件下, CMOS 反相器在已知 X 的条件下, Y 不确定度的残余量大于 MRF 反相器, 即与传统 CMOS 相比, MRF 电路可以减少一定的不确定度.

引理 3 在输出正确概率相同的条件下, 互信息的关系为

$$I(X; Y_{\text{CMOS}}) \leq I(X; Y_{\text{MRF}}), \quad (23)$$

其中假设两者具有相同的输入 X .

证明 其证明过程见附录 A.

引理 3 说明了在相同的输入不确定度条件下, CMOS 结构在已知 X 的条件下, Y 不确定度的减少量小于 MRF 结构.

引理 4 在输出正确概率相同的条件下, 设 $p_1^* = \alpha p_0^*$ ($\alpha \in [0, 1]$), 则互信息比值 G 随着 α 单调递增. 其中, 两者具有相同的输入 X 且 $G = \frac{I(X; Y_{\text{CMOS}})}{I(X; Y_{\text{MRF}})} \in (0, 1]$.

证明 其证明过程见附录 B.

定理 1 在输出正确概率相同, 且信道容量与负载电容相同的条件下, MRF 电路与传统电路供电电压下界的关系

$$V_{\text{dd-CMOS}} \geq V_{\text{dd-MRF}}. \quad (24)$$

证明 当两者信道容量相同时, 由式 (8) 和引理 3 可得

$$f_{\text{c-CMOS}} \geq f_{\text{c-MRF}}. \quad (25)$$

当负载电容一样时, 由式 (9) 可得

$$\frac{k_m(V_{\text{dd-CMOS}} - V_t)^2}{V_{\text{dd-CMOS}}C_L} \geq \frac{k_m(V_{\text{dd-MRF}} - V_t)^2}{V_{\text{dd-MRF}}C_L}. \quad (26)$$

解之得 $V_{\text{dd-CMOS}} \geq V_{\text{dd-MRF}}$. 证毕.

定理 2 在输出正确概率相同, 信道容量与负载电容相同的条件下, 设 $p_1^* = \alpha p_0^*$ ($\alpha \in [0, 1]$), 则供电电压比值 ΔV 随 α 单调递减. 其中, 两者具有相同的输入 X 且 $\Delta V = \frac{V_{\text{dd-CMOS}}}{V_{\text{dd-MRF}}} \geq 1$.

证明 由定理 1 知 $V_{\text{dd-CMOS}} \geq V_{\text{dd-MRF}}$, 因此 $\Delta V \geq 1$. 又引理 4 已证 G 随着 α 单调递增, 因此当信道容量相同时, 由式 (8) 和引理 3 得

$$\frac{f_{\text{c-CMOS}}}{f_{\text{c-MRF}}} \geq 1, \quad (27)$$

且比值随 α 单调递减. 当负载电容相同时, 由式 (9) 得, 供电电压比值 ΔV 随 α 单调递减, 其中 $\Delta V = \frac{V_{\text{dd-CMOS}}}{V_{\text{dd-MRF}}} \geq 1$.

α 表征了结构的输出正确概率的不对称性, α 越小其不对称性越大 ($\alpha \in [0, 1]$), 此时供电电压的比值与 1 的差距越小, 即供电电压比值 ΔV 随不对称性 α 单调递减. 证毕.

由定理 2 可以得出结论: MRF 反相器电路之所以优于传统 CMOS 反相器的本质原因在于, 其用了概率具有不对称性 (输出比特 0 和 1 的正确概率分布) 的与非门实现反相器功能, 且通过优化不对称性, 可以使电路的性能更优.

用 MATLAB 进行电路仿真实验. 以 $p_0^* = 0.8$ 为例, 作互信息 $I(X; Y)$ 和 ΔV ($\Delta V = \frac{V_{\text{dd-CMOS}}}{V_{\text{dd-MRF}}}$) 分别与概率不对称性 α 的关系曲线图, 如图 5 和 6 所示.

由图 5 和 6 可知, $I(X; Y_{\text{CMOS}}) \leq I(X; Y_{\text{MRF}})$, $\Delta V \geq 1$ 且 ΔV 随着概率不对称性 α 单调递减趋于 1. 不失一般性, 对 $p_0^* \in [0.5, 1]$ 进行仿真测试, 其结果与引理 3 和 4 及定理 1 和 2 的结论一致.

本文的方法同样可用于其他 MRF 电路或模块的可靠性与电压供电电压下界分析.

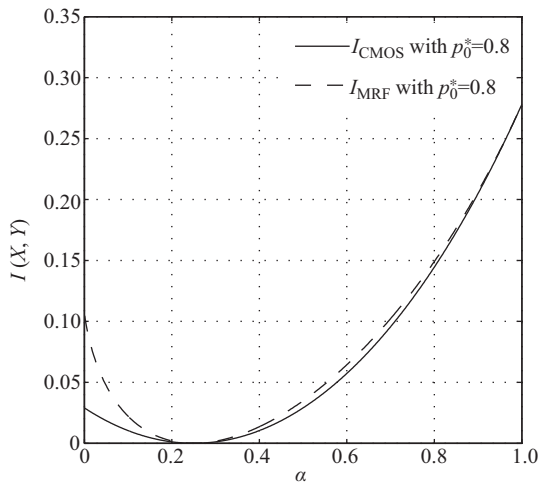


图 5 $I(X;Y)$ 与 α 关系图

Figure 5 Relationship between $I(X;Y)$ and α

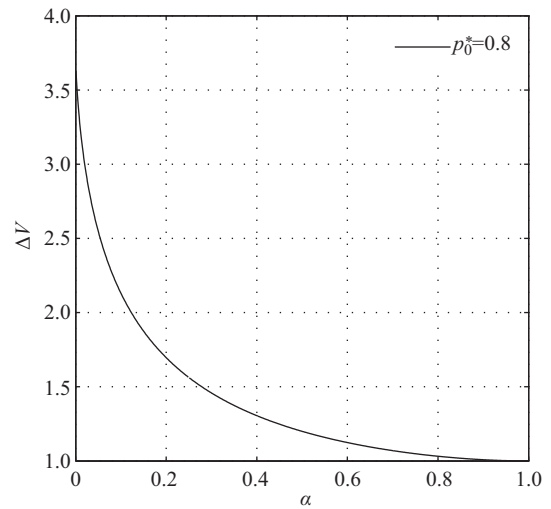


图 6 ΔV 与 α 关系图

Figure 6 Relationship between ΔV and α

4 总结

本文基于信息论的观点对 MRF 电路进行了理论分析与证明, 证明出其在相同可靠性的条件下, MRF 电路的供电电压下界小于传统 CMOS 电路, 并且进一步证明出其本质原因在于输出比特 0 和 1 的正确概率不对称性上. 得出结论, MRF 电路之所以优于传统 CMOS 电路的本质原因在于, 它用了概率具有不对称性的与非门实现反相器功能, 且通过优化其不对称性, 可以使电路的性能更优. 本文从理论上分析, 给出了 MRF 电路相比传统电路能在更低电压下工作的原因, 并证明了概率具有不对称性是 MRF 电路优化的一个重要方向, 为之后基于 MRF 的低功耗高稳定性电路设计提供了理论基础.

参考文献

- 1 Larsson E G. MIMO detection methods: how they work. *IEEE Signal Process Mag*, 2009, 26: 91–95
- 2 Dhoot C, Chau L P, Chowdhury S R, et al. Low power motion estimation based on probabilistic computing. *IEEE Trans Circ Syst Video Technol*, 2014, 24: 1–14
- 3 Bai X, Kameyama M. Low-power multiple-valued source-coupled logic circuits using dual-supply voltages for a reconfigurable VLSI. In: *Proceedings of IEEE 43rd International Symposium on Multiple-Valued Logic (ISMVL)*, Toyama, 2013. 164–169
- 4 Lin Y, Doris K, Hegt H, et al. A dynamic latched comparator for low supply voltages down to 0.45V in 65-nm CMOS. In: *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*, Yeosu, 2012. 2737–2740
- 5 Swanson R, Meindl J. Ion-implanted complementary MOS transistors in low-voltage circuits. *IEEE J Solid-State Circ*, 1972, 7: 146–153
- 6 Wang A, Chandrakasan A P, Konosocky S V. Optimal supply and threshold voltage scaling for subthreshold CMOS circuits. In: *Proceedings of IEEE Computer Society Annual Symposium on VLSI*, Pittsburgh, 2002. 5–9
- 7 Korkmaz P, Akgul B E S, Palem K V. Energy, performance, and probability tradeoffs for energy-efficient probabilistic CMOS circuits. *IEEE Trans Circ Syst I: Regular Papers*, 2008, 55: 2249–2262
- 8 Lanuzza M, Corsonello P, Perri S. Low-power level shifter for multi-supply voltage designs. *IEEE Trans Circ Syst II: Express Briefs*, 2012, 59: 922–926

- 9 Zyuban V, Strenski P. Unified methodology for resolving power-performance tradeoffs at the micro architectural and circuit levels. In: Proceedings of the 2002 International Symposium on Low Power Electronics and Design, Monterey, 2002. 166–171
- 10 Li Y, Xue J Y, Gai Q L. Design for input and output card of triple redundant control system. In: Proceedings of IEEE Symposium on Computer Applications and Communications (SCAC), Shandong, 2014. 26–27
- 11 Neale A, Sachdev M. A new SEC-DED error correction code subclass for adjacent MBU tolerance in embedded memory. IEEE Trans Device Mater Reliab, 2013, 13: 223–230
- 12 Yang Y, Binkley D M, Li L. All-CMOS subbandgap reference circuit operating at low supply voltage. In: Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), Rio de Janeiro, 2011. 15–18
- 13 Bahar R I, Mundy J, Chen J. A probabilistic-based design methodology for nanoscale computation. In: Proceedings of International Conference on Computer Aided Design (ICCAD), San Jose, 2003. 9–13
- 14 Nepal K, Bahar R I, Mundy J, et al. Designing logic circuits for probabilistic computation in the presence of noise. In: Proceedings of the 42nd annual Design Automation Conference, Anaheim, 2005. 485–490
- 15 Nepal K, Bahar R I, Muddy J, et al. MRF reinforcer: a probabilistic element for space redundancy in nanoscale circuits. IEEE Micro, 2006, 26: 19–27
- 16 Kumawat R, Sahula V, Gaur M S. Reliable circuit analysis and design using nanoscale devices. In: Proceedings of International Conference on Communication and Electronics System Design, Jaipur, 2013. 1280–1283
- 17 Kumawat R, Sahula V, Gaur M S. Probabilistic modeling approaches for nanoscale devices. In: Proceedings of International Conference on Circuits, Power and Computing Technologies (ICCPCT), Nagercoil, 2013. 720–724
- 18 Li Y, Hu J H. Extensional design for noise-tolerate MRF standard cells via global mapping. In: Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), Melbourne, 2014. 1728–1731
- 19 Kim Y H, Lapidoth A, Weissman T. The Gaussian channel with noisy feedback. In: Proceedings of IEEE International Symposium on Information Theory, Nice, 2007. 1416–1420
- 20 Li C, Elia N. Bounds on the achievable rate of noisy feedback Gaussian channels under linear feedback coding scheme. In: Proceedings of IEEE International Symposium on Information Theory (ISIT), St Petersburg, 2011. 169–173
- 21 Wang L, Shanbhag N R. Energy-efficiency bounds for deep submicron VLSI systems in the presence of noise. IEEE Trans Very Large Scale Integration (VLSI) Syst, 2003, 2: 254–269
- 22 Cover T M, Thomas J A. Elements of Information Theory. 2nd ed. Oxford: Wiley-Blackwell, 2006. 7–13
- 23 Korkmaz P. Probabilistic CMOS (PCMOS) in the nanoelectronics regime. Dissertation for Ph.D. Degree. Atlanta: Georgia Institute of Technology, 2007

附录 A

引理 3 在输出正确概率相同的条件下, 互信息的关系为

$$I(X; Y_{\text{CMOS}}) \leq I(X; Y_{\text{MRF}}),$$

其中假设两者具有相同的输入 X .

证明 由式 (5) 和 (21) 得到

$$I(X; Y_{\text{CMOS}}) = 1 - H(p) = 1 - H\left[\frac{1}{2}(p_0^* + p_1^*)\right], \quad (\text{A1})$$

$$I(X; Y_{\text{MRF}}) = H\left[\frac{1}{2} - \frac{1}{2}(p_1^* - p_0^*)\right] - \left[\frac{1}{2}H(p_0^*) + \frac{1}{2}H(p_1^*)\right]. \quad (\text{A2})$$

作辅助函数

$$F(p_0^*, p_1^*) = I(X; Y_{\text{CMOS}}) - I(X; Y_{\text{MRF}}). \quad (\text{A3})$$

对 F 求偏导求可能的极值点

$$\frac{\partial F}{\partial p_0^*} = \frac{1}{2} \log_2 \left[\frac{\frac{1}{2}(p_0^* + p_1^*)}{1 - \frac{1}{2}(p_0^* + p_1^*)} \right] + \frac{1}{2} \log_2 \left[\frac{1/2 + 1/2(p_0^* - p_1^*)}{1/2 - 1/2(p_0^* - p_1^*)} \cdot \frac{1 - p_0^*}{p_0^*} \right] = 0, \quad (\text{A4})$$

$$\frac{\partial F}{\partial p_1^*} = \frac{1}{2} \log_2 \left[\frac{\frac{1}{2}(p_0^* + p_1^*)}{1 - \frac{1}{2}(p_0^* + p_1^*)} \right] + \frac{1}{2} \log_2 \left[\frac{1/2 - 1/2(p_0^* - p_1^*)}{1/2 + 1/2(p_0^* - p_1^*)} \cdot \frac{1 - p_1^*}{p_1^*} \right] = 0. \quad (\text{A5})$$

解之得 $p_0^* + p_1^* = 1$ 或 $p_0^* = p_1^*$. 此时 $F = 0$.

对辅助函数在驻点 $(p_0^*, 1 - p_0^*)$ 处利用 Taylor 展开判断其极值性

$$\begin{aligned}\Delta F &= F(p_0^* + h, 1 - p_0^* + k) - F(p_0^*, 1 - p_0^*) \\ &= \frac{1}{2}[F_{p_0^* p_0^*}(p_0^* + h, 1 - p_0^* + k)h^2 + 2F_{p_0^* p_1^*}(p_0^* + h, 1 - p_0^* + k)hk \\ &\quad + F_{p_1^* p_1^*}(p_0^* + h, 1 - p_0^* + k)k^2].\end{aligned}\quad (\text{A6})$$

令

$$\frac{\partial^2 F(p_0^* + h, 1 - p_0^* + k)}{\partial p_0^{*2}} = A + \alpha, \quad (\text{A7})$$

$$\frac{\partial^2 F(p_0^* + h, 1 - p_0^* + k)}{\partial p_0^* \partial p_1^*} = B + \beta, \quad (\text{A8})$$

$$\frac{\partial^2 F(p_0^* + h, 1 - p_0^* + k)}{\partial p_1^{*2}} = C + \gamma, \quad (\text{A9})$$

其中 α, β, γ 是当 $h \rightarrow 0, k \rightarrow 0$ 时的无穷小量. 则有

$$\Delta F = \frac{1}{2}[Ah^2 + 2Bhk + Ck^2] + \frac{1}{2}[\alpha h^2 + 2\beta hk + \gamma k^2]. \quad (\text{A10})$$

由于 $A = B = C = \frac{1}{\ln 2}[1 - \frac{1}{4p_0^*} - \frac{1}{4(1-p_0^*)}] \leq 0$ 且 $AC - B^2 = 0$. 则 $\Delta F = \frac{1}{A}(Ah + Bk)^2 + o(\rho^2)$, 因此 ΔF 的正负号仅取决于 A .

由于 $A \leq 0$, 当 $A = 0$ 时, $p_0^* = p_1^* = p = 0.5$. 当 $A < 0$ 时, $\Delta F < 0$, 故 F 在点 $(p_0^*, 1 - p_0^*)$ 取极大值 0. 同理可证 F 在点 (p_0^*, p_0^*) 取极大值 0. 通过 MATLAB 仿真验证了其正确性, 且此极大值为最大值, 故有 $I(X; Y_{\text{CMOS}}) \leq I(X; Y_{\text{MRF}})$. 证毕.

附录 B

引理 4 在输出正确概率相同的条件下, 设 $p_1^* = \alpha p_0^*$ ($\alpha \in [0, 1]$), 则互信息比值 G 随着 α 单调递增. 其中, 两者具有相同的输入 X 且 $G = \frac{I(X; Y_{\text{CMOS}})}{I(X; Y_{\text{MRF}})} \in (0, 1]$.

证明 令 $A = I(X; Y_{\text{CMOS}}), B = I(X; Y_{\text{MRF}})$, 则 $G = \frac{A}{B}$. 由引理 3 已知 $I(X; Y_{\text{CMOS}}) \leq I(X; Y_{\text{MRF}})$, 因此 $G \in (0, 1]$.

考虑 G 的偏导函数求可能的极值点

$$\frac{\partial G}{\partial \alpha} = \frac{\frac{\partial A}{\partial \alpha} B - \frac{\partial B}{\partial \alpha} A}{B^2} = 0, \quad (\text{B1})$$

$$\frac{\partial G}{\partial p_0^*} = \frac{\frac{\partial A}{\partial p_0^*} B - \frac{\partial B}{\partial p_0^*} A}{B^2} = 0. \quad (\text{B2})$$

其中

$$A = I(X; Y_{\text{CMOS}}) = 1 + \frac{1}{2}p_0^*(1 + \alpha)\log_2\left[\frac{1}{2}p_0^*(1 + \alpha)\right] + \left[1 - \frac{1}{2}p_0^*(1 + \alpha)\right]\log_2\left[1 - \frac{1}{2}p_0^*(1 + \alpha)\right],$$

$$\begin{aligned}B = I(X; Y_{\text{MRF}}) &= -\left[\frac{1}{2} - \frac{1}{2}p_0^*(1 - \alpha)\right]\log_2\left[\frac{1}{2} - \frac{1}{2}p_0^*(1 - \alpha)\right] - \left[\frac{1}{2} + \frac{1}{2}p_0^*(1 - \alpha)\right]\log_2\left[\frac{1}{2} + \frac{1}{2}p_0^*(1 - \alpha)\right] \\ &\quad + \frac{1}{2}[p_0^*\log_2(p_0^*) + (1 - p_0^*)\log_2(1 - p_0^*) + \alpha p_0^*\log_2(\alpha p_0^*) + (1 - \alpha p_0^*)\log_2(1 - \alpha p_0^*)],\end{aligned}$$

$$\frac{\partial A}{\partial \alpha} = \frac{1}{2}p_0^*\log_2\left(\frac{\frac{1}{2}p_0^*(1 + \alpha)}{1 - \frac{1}{2}p_0^*(1 + \alpha)}\right),$$

$$\frac{\partial B}{\partial \alpha} = \frac{1}{2}p_0^*\log_2\left(\frac{\frac{1}{2} + \frac{1}{2}p_0^*(1 - \alpha)}{\frac{1}{2} - \frac{1}{2}p_0^*(1 - \alpha)} \cdot \frac{\alpha p_0^*}{1 - \alpha p_0^*}\right),$$

$$\frac{\partial A}{\partial p_0^*} = \frac{1 + \alpha}{2}\log_2\left(\frac{\frac{1 + \alpha}{2}p_0^*}{1 - \frac{1 + \alpha}{2}p_0^*}\right),$$

$$\frac{\partial B}{\partial p_0^*} = \frac{1 - \alpha}{2}\log_2\left(\frac{\frac{1}{2} - \frac{1}{2}p_0^*(1 - \alpha)}{\frac{1}{2} + \frac{1}{2}p_0^*(1 - \alpha)}\right) + \frac{1}{2}\log_2\left(\frac{p_0^*}{1 - p_0^*}\right) + \frac{\alpha}{2}\log_2\left(\frac{\alpha p_0^*}{1 - \alpha p_0^*}\right).$$

解之得 $\alpha = 1$, 由于分母 $B \neq 0$, 因此在 $\alpha = 1$ 时, 要求 $p_1^* = p_0^* \neq 0.5$. 故 $\alpha = 1$ 的点可能是 F 的极值点, 此时 $F = 1$. 由引理 3 已知 $F = 1$ 为其极大值, 故 $\alpha = 1$ 的点为极大值点.

令 $g = \frac{\partial A}{\partial \alpha} B - \frac{\partial B}{\partial \alpha} A$, 分析 g 与 α 的关系 (p_0^* 视为常数). 对 g 关于 α 求偏导得驻点

$$\frac{\partial g}{\partial \alpha} = \frac{\partial^2 A}{\partial \alpha^2} B - \frac{\partial^2 B}{\partial \alpha^2} A = 0. \quad (\text{B3})$$

其中

$$\frac{\partial^2 A}{\partial \alpha^2} = \frac{1}{4 \ln 2} p_0^{*2} \left[\frac{1}{0.5(1+\alpha)p_0^*} + \frac{1}{1-0.5(1+\alpha)p_0^*} \right],$$

$$\frac{\partial^2 B}{\partial \alpha^2} = -\frac{1}{4 \ln 2} p_0^{*2} \left[\frac{1}{0.5-0.5p_0^*(1-\alpha)} + \frac{1}{0.5+0.5(1-\alpha)p_0^*} \right] + \frac{1}{2 \ln 2} p_0^{*2} \left[\frac{1}{\partial p_0^*} + \frac{1}{1-\alpha p_0^*} \right].$$

解之得 $(1+\alpha)p_0^* = 1$ 或 $\alpha = 1$ ($(1+\alpha)p_0^* = 1$ 处 $B = 0$, 无意义, 故舍去). 即 $\alpha = 1$ ($p_0^* \neq 0.5$) 的点可能是 g 的极值点, 此时 $g = 0$.

再对 g 进行二次求导进行判断,

$$\frac{\partial^2 g}{\partial \alpha^2} = \frac{\partial^3 A}{\partial \alpha^3} B - \frac{\partial^3 B}{\partial \alpha^3} A + \frac{\partial^2 A}{\partial \alpha^2} B - \frac{\partial^2 B}{\partial \alpha^2} A. \quad (\text{B4})$$

由于在 $\alpha = 1$ 处, $\frac{\partial^2 g}{\partial \alpha^2} \neq 0$, 故驻点 $\alpha = 1$ 是函数 g 的极值点. 再由特值 $g|(p_0^* = 0.8, \alpha = 0.99) > 0$ 得到 g 在点 $\alpha = 1$ 取到极小值 0. 且仿真验证了其正确性, 并且极小值为最小值, 即 $g_{\min} = 0$.

故 $g \geq 0$. 由 $g = \frac{\partial A}{\partial \alpha} B - \frac{\partial B}{\partial \alpha} A$, $B > 0$ ($B = 0$ 的点舍去) 得 $\frac{\partial G}{\partial \alpha} \geq 0$. 由于 α 表征了结构输出正确概率的不对称性, α 越小其不对称性越大 ($\alpha \in [0, 1]$), 此时互信息的比值与 1 的差距越大, 因此得证互信息比值 G 随不对称性 α 单调递增. 证毕.

Supply voltage analysis for high fault immune MRF circuits with information theory

Xiaoqian LI*, Jianhao HU* & Yan LI

National Key Laboratory of Communication, University of Electronic Science and Technology of China, Chengdu 611731, China

*E-mail: lixq_email@163.com, jhhu@uestc.edu.cn

Abstract Low-power technology is one of the key issues for digital circuit design, especially for battery-operated, portable systems. Decreasing the supply voltage is one of the most efficient ways to reduce energy consumption. However, traditional CMOS devices cannot perform stably in ultra-low supply voltage applications. MRF based circuits can provide over 10^{-5} BER performance in ultra-low supply environment, which is much better than traditional CMOS circuits. However, there lacks theoretical work focusing on the analysis for reliability and supply voltage in MRF circuits, which becomes a bottleneck in MRF-based VLSI design. In this paper, we analyze MRF circuit based on information theory. We not only prove that the MRF circuits have lower supply voltage than that of traditional circuits, but also give a reasonable explanation for this situation. The work in this paper can provide theory support for MRF-based low power and high reliable circuits design.

Keywords information theory, MRF, low-power technology, supply voltage, stability



Xiaoqian LI was born in 1991. She received the B.E. degree in communication engineering from UESTC, Chengdu, China, in 2013. Currently, she is working towards the M.S. degree at the National Key Laboratory of Science and Technology on Communications in UESTC, Chengdu, China. Her research interests include low-power circuit design and implementation, and stochastic logic.



Jianhao HU received the B.E. and Ph.D. degrees in communication systems from the University of Electronic Science and Technology of China (UESTC) in 1993 and 1999, respectively. He joined City University of Hong Kong from 1999 to 2000 as a post-doctoral researcher. From 2000 to 2004, he served as a senior system engineer at the 3G research center of the University of Hong Kong. He has been a professor with the National Key Laboratory of Communication of UESTC since 2005. His research interests include high-speed low-power DSP technology with VLSI, NoC, wireless communications, and software radio.

with the National Key Laboratory of Communication of UESTC since 2005. His research interests include high-speed low-power DSP technology with VLSI, NoC, wireless communications, and software radio.



Yan LI was born in 1990. She received the B.E. degree in communication engineering from UESTC, Chengdu, China, in 2012. Currently, she is working towards the Ph.D. degree at the National Key Laboratory of Science and Technology on Communications in UESTC, Chengdu, China. Her research interests mainly include low-power circuit design and implementation.